

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



特許協力条約に基づいて公開された国際出願

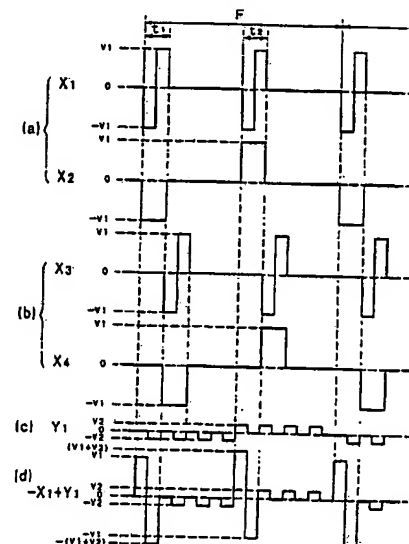
(51) 国際特許分類 5 G09G 3/36		(11) 国際公開番号 WO 93/18501	
A1		(43) 国際公開日 1993年9月16日 (16.09.1993)	
(21) 国際出願番号 PCT/JP93/00279		(81) 指定国 AT (欧州特許), BE (欧州特許), CH (欧州特許), DE (欧州特許), DK (欧州特許), ES (欧州特許), FR (欧州特許), GB (欧州特許), GR (欧州特許), IE (欧州特許), IT (欧州特許), JP, LU (欧州特許), MC (欧州特許), NL (欧州特許), PT (欧州特許), SE (欧州特許), US.	
(22) 国際出願日 1993年3月4日 (04. 03. 93)		添付公開書類 国際調査報告書	
(30) 優先権データ 特願平4/48743 1992年3月5日 (05. 03. 92) JP 特願平4/84007 1992年4月6日 (06. 04. 92) JP 特願平4/143482 1992年5月8日 (08. 05. 92) JP			
(71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION) [JP/JP] 〒163 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP)			
(72) 発明者; および (75) 発明者/出願人 (米国についてのみ) 伊藤昭彦 (ITO, Akihiko) [JP/JP] 飯野聖一 (IINO, Shoichi) [JP/JP] 〒392 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP)			
(74) 代理人 弁理士 菅 直人, 外 (KAN, Naoto et al.) 〒151 東京都渋谷区代々木2丁目11番12号 木村ビル6階 Tokyo, (JP)			

(54) Title : METHOD AND CIRCUIT FOR DRIVING LIQUID CRYSTAL ELEMENTS, AND DISPLAY APPARATUS

(54) 発明の名称 液晶素子等の駆動方法と駆動回路および表示装置

(57) Abstract

The present invention aims at providing a driving method and a driving circuit which are capable of excellently driving even a liquid crystal element having a large number of electrodes and, moreover, excellent displaying performance; and a display apparatus. To achieve this object, the present invention provides a method of multiplex-driving a liquid crystal element having a liquid crystal layer between a scanning electrode-carrying substrate and a signal electrode-carrying substrate; and a display apparatus, which are characterized in that a liquid crystal element is driven with a plurality of scanning electrodes selected in order at once and with a period of time for selecting the same divided into a plurality of parts within one frame. When a liquid crystal element is driven in the above-mentioned manner, the contrast of a displayed image can be improved, and a driving method and a driving circuit for a liquid crystal element having excellent displaying performance, and a display apparatus can be provided.



(57) 要約

本発明は電極数の多い液晶素子等においても良好に駆動することができ、しかも表示性能のよい液晶素子等の駆動方法と駆動回路および表示装置を提供することを目的とする。

その目的を達成するために、走査電極を有する基板と、信号電極を有する基板との間に液晶層を介在させてなる液晶素子をマルチプレクス駆動する液晶素子等の駆動方法および表示装置において、順次複数本の走査電極を同時に選択し、かつその選択期間を1フレームの中で複数回に分けて駆動するようにしたことを特徴とする。

上記のように駆動することによって表示のコントラストを高めることができ、表示性能の優れた液晶素子等の駆動方法および駆動回路並びに表示装置を提供することが可能となる。

情報としての用途のみ

PCTに基づいて公開される国際出願のパンフレット第1頁にPCT加盟国を同定するために使用されるコード

AT	オーストリア	FR	フランス	MW	マラウイ
AU	オーストラリア	GA	ガボン	NL	オランダ
BB	バルバドス	GB	イギリス	NO	ノルウェー
BE	ベルギー	GN	ギニア	NZ	ニュージーランド
BF	ブルキナ・ファソ	GR	ギリシャ	PL	ポーランド
BG	ブルガリア	HU	ハンガリー	PT	ポルトガル
BJ	ベナン	IE	アイルランド	RO	ルーマニア
BR	ブラジル	IT	イタリア	RU	ロシア連邦
CA	カナダ	JP	日本	SD	スーダン
CF	中央アフリカ共和国	KP	朝鮮民主主義人民共和国	SE	スウェーデン
CG	コンゴ	KR	大韓民国	SK	スロヴァキア共和国
CH	スイス	KZ	カザフスタン	SN	セネガル
CI	コート・ジボアール	LI	リヒテンシュタイン	SU	ソヴィエト連邦
CM	カメルーン	LK	スリランカ	TD	チャード
CS	チェコスロヴァキア	LU	ルクセンブルグ	TG	トーゴ
CZ	チェコ共和国	MC	モナコ	UA	ウクライナ
DE	ドイツ	MG	マダガスカル	US	米国
DK	デンマーク	ML	マリ	VN	ヴェトナム
FI	フィンランド	MN	モンゴル		
ES	スペイン	MR	モーリタニア		

明 細 書

液晶素子等の駆動方法と駆動回路および表示装置

技術分野

- 5 本発明は例えば液晶表示パネル等の液晶素子の駆動方法と
駆動回路および表示装置に関する。

背景技術

- 従来、上記のような液晶素子の駆動方法の1つとして、電
10 圧平均化法によるマルチプレクス駆動が知られている。

〔従来例1〕

- 図21は図22に示すような単純マトリックス型の液晶素
子等を電圧平均化法によりマルチプレクス駆動する場合の従
来の駆動方法の一例を示す印加電圧波形図であり、図21の
15 (a)・(b)はそれぞれ走査電極 X_1 ・ X_2 に印加する電
圧波形、同図(c)は信号電極 Y_1 に印加する電圧波形、同
図(d)は走査電極 X_1 と信号電極 Y_1 とが交差する画素に
印加される電圧波形を示す。

- 本例は走査電極 X_1 、 X_2 ・・・ X_n を1ラインずつ順次選
20 択して走査電圧を印加すると共に、その選択された走査電極
上の各画素がオンかオフかによって、それに応じた信号電圧
を各信号電極 Y_1 、 Y_2 ・・・ Y_m に印加することによって駆
動するものである。

ところが、上記のように走査電極を1ラインずつ選択して駆動するものは、駆動電圧を比較的高くしないと良好な表示が得られない等の不具合がある。

〔従来例2〕

- 5 そこで上記の駆動電圧を低くするために、順次複数本の走査電極を同時に選択して駆動する方法が提案されている（例えば、A GENERALIZED ADDRESSING TECHNIQUE FOR RMS RESPONDING MATRIX LCDS, 1988 INTERNATIONAL DISPLAY RESEARCH CONFERENCE P80～85参照）。
- 10 図23は上記のように順次複数本の走査電極を同時に選択して駆動する従来の駆動方法の一例を示す印加電圧波形図であり、同図（a）は走査電極 $X_1 \cdot X_2$ に印加する電圧波形、同図（b）は走査電極 $X_3 \cdot X_4$ に印加する電圧波形、同図（c）は信号電極 Y_1 に印加する電圧波形、同図（d）は走
- 15 査電極 X_1 と信号電極 Y_1 とが交差する画素に印加される電圧波形を示す。

- 本例は走査電極を順次2本ずつ同時に選択して前記図22に示す表示パターンを駆動表示するようにしたもので、最初に2つの走査電極 $X_1 \cdot X_2$ を選択して、それ等の走査電極
- 20 $X_1 \cdot X_2$ に、それぞれ例えば図22の（a）に示すような走査電圧を印加し、同時に各信号電極 $Y_1 \sim Y_m$ に後述する所定の信号電圧をする。次いで走査電極 $X_3 \cdot X_4$ を選択して、それ等の電極に上記と同様の走査電圧を印加すると同時

に各信号電極 $Y_1 \sim Y_m$ に信号電圧をする。そして全ての走査電極 $X_1 \sim X_n$ が選択されるまでを1フレームとし、これを順次繰り返すものである。

5 上記の走査電圧に印加する電圧波形は、例えば同時に選択される走査電極の数を、 h としたとき 2^h のパルスパターン数の波形が用いられ、本例においては、 $2^2 = 4$ のパルスパターン数の波形が用いられている。

10 一方、各信号電極 $Y_1 \sim Y_m$ に印加する信号電圧は、走査電圧と同じパルスパターン数で、かつ各パルスの信号電圧レベルは、同時に選択された走査電極上の画素のオン・オフと、走査電極に印加される走査電圧パルスの正負とをパルス毎に対比して設定する。

15 本例においては、前記図23に示すように走査電極 $X_1 \cdot X_2$ を同時に選択して同図(a)および図24の(a)のような走査電圧を印加する際に、各信号電極 $Y_1 \sim Y_m$ には、その各信号電極に対応する走査電極 $X_1 \cdot X_2$ 上の画素が順にオン・オフのときは図24の(b)における Y_a の信号電圧波形を印加し、オフ・オンのときは Y_b 、両者共にオンのときは Y_c 、共にオフのときは Y_d の信号電圧波形をそれぞれ印加するようにしたものである。

20 上記の信号電圧波形は、同時に選択される走査電極に印加する走査電圧パルスが正のときを1、負のときを-1とし、その各走査電極上の画素がオンのときを-1、オフのときを

1としてパルス毎に対比し、一致した数と不一致の数の差に応じてその差が、2のときは V_2 ボルト、0のときは0ボルト、-2のときは $-V_2$ ボルトの電圧を印加するようにしたものである。

5 例えば上記Y aの信号電圧波形は、走査電極 $X_1 \cdot X_2$ 上の画素が順にオン・オフであるから順に並べると $-1 \cdot 1$ であり、これに対して走査電極 $X_1 \cdot X_2$ の図24における期間 t_1 の前半のパルス波形は共に負で順に並べると $-1 \cdot -1$ であり、両者を順に対比すると、最初は -1 と -1 で一致し、次は -1 と 1 で不一致であるから、一致数は1、不一致数も1で一致数と不一致数の差は0でありY aの期間 t_1 の前半には0ボルトの電圧が印加される。次に上記期間 t_1 の後半のパルス波形は走査電極 X_1 が正、走査電極 X_2 は期間 t_1 の前半と同じく負であるから順に $1 \cdot -1$ であり、上記
10 の画素の $-1 \cdot 1$ と順に対比すると一致数は0、不一致数は2で一致数と不一致数の差は -2 となりY aの期間 t_1 の後半には $-V_2$ ボルトの電圧が印加される。

さらに図24における期間 t_2 の前半のパルス波形は、走査電極 X_1 が負で走査電極 X_2 が正であるから順に $-1 \cdot 1$
20 であり、画素の $-1 \cdot 1$ と順に対比すると一致数は2、不一致数は0で一致数と不一致数の差は2となりY aの期間 t_2 の前半には V_2 ボルトの電圧が印加される。また期間 t_2 の後半のパルス波形は、走査電極 $X_1 \cdot X_2$ が共に正であるか

ら順に 1・1 であり、画素の -1・1 と順に対比すると一致数は 1、不一致数は 1 で一致数と不一致数の差は 0 となり Y_a の期間 t_z の後半には 0 ボルトの電圧が印加されるものである。

- 5 他の Y_b ~ Y_d の信号電圧波形についても上記と同様の要領で電圧が設定されている。

 因みに、前記図 2 2 の表示パターンに応じて駆動させた前記図 2 3 の駆動方法においては、図 2 2 の信号電極 Y₁ に対応する走査電極 X₁・X₂ 上の表示パターンは順にオン・オフであるから図 2 3 の (c) に示すように信号電極 Y₁ には前記 Y_a に相当する信号電圧が印加されている。

10

 なお上記例では、走査電圧波形の正の選択パルス を 1、負の選択パルス を -1、各画素の表示がオンのときを -1、オフのときを 1 とし、その一致数と不一致数の差で信号電圧波形を設定したが、いずれを 1 または -1 としてもよく、また一致数と不一致数の差を算定することなく、一致数もしくは不一致数のみで信号電圧波形を設定することもできる。

15

〔従来例 3〕

 図 2 5 は複数本の走査電極を同時に選択して駆動する他の従来例を示すもので、本例は走査電極を順次 3 ラインずつ同時に選択して図 2 6 に示すような表示を行うようにしたものである。

20

 即ち、最初に 3 つの走査電極 X₁・X₂・X₃ を選択して、

6

それ等の走査電極 $X_1 \cdot X_2 \cdot X_3$ に図 25 の (a) に示す
ような走査電圧を印加し、同時に各信号電極 $Y_1 \sim Y_m$ に後
述する所定の信号電圧を印加する。次いで、図 26 において
走査電極 $X_4 \cdot X_5 \cdot X_6$ を選択して、それ等の電極に上記
5 と同様に図 25 の (b) のような走査電圧を印加すると同時
に各信号電極 $Y \sim Y_m$ に信号電圧を印加する。そして図 26
における全ての走査電極 $X_1 \sim X_n$ が選択されるまでを 1 フ
レームとし、これを順次繰り返すものである。

上記の各走査電圧波形は、前記従来例 2 と同様に同時に選
10 択される走査電極の数を、 h としたとき、 2^h のパルスパ
ターン数の波形が用いられ、本例においては、 $2^3 = 8$ のパ
ルスパターン数の波形が用いられている。

また各信号電極 $Y_1 \sim Y_m$ に印加する信号電圧は、前記例
と同様に走査電圧と同じパルスパターン数で、かつ各パルス
15 の電圧レベルは、選択された走査電極上のオン・オフに応じ
た大きさの電圧を印加するようにしたもので、例えば本例に
おいては同時に選択される走査電極 $X_1 \cdot X_2 \cdot X_3$ に印加
される走査電圧波形が正のパルスするときをオン、負のパル
スのときをオフとし、表示データのオン・オフをパルス毎に対
20 比し、不一致の数に応じて信号電圧波形を設定するようにし
たものである。

即ち、図 25 においては不一致の数が 0 のときは $-V_3$ 、
1 のときは $-V_2$ 、2 のときは V_2 、3 のときは V_3 のパル

ス電圧を印加するようにしたものである。なお上記の V_2 と V_3 の電圧比は、 $V_2 : V_3 = 1 : 3$ 、となるように設定されている。

具体的には、図 2 5 における走査電極 $X_1 \cdot X_2 \cdot X_3$ への印加電圧波形において、 V_1 の電圧を印加するときをオン、 $-V_1$ の電圧を印加するときをオフとし、図 2 6 の画素の表示は黒丸印をオン、白丸印をオフとすると、図 2 6 における信号電極 Y_1 と走査電極 $X_1 \cdot X_2 \cdot X_3$ との交差する画素の表示は順にオン・オン・オフであり、これに対して各走査電極 $X_1 \cdot X_2 \cdot X_3$ に印加される電圧の最初のパルスパターンは、それぞれオフ・オフ・オフである。その両者を順に対比して不一致の数は 2 であるから、信号電極 Y_1 の最初のパルスパターンには、図 2 5 の (c) に示すように電圧 V_2 が印加されている。

また各走査電極 $X_1 \cdot X_2 \cdot X_3$ に印加される電圧の 2 番目のパルスパターンは、それぞれオフ・オフ・オンであり、前記の画素表示オン・オン・オフと順に対比すると、すべてが不一致であり不一致数は 3 であるから、信号電極 Y_1 の 2 番目のパルスには電圧 V_3 が印加されている。同様の要領で、3 番目のパルスには V_2 、4 番目のパルスには $-V_2$ が印加され、以下、 $-V_3$ 、 V_2 、 $-V_2$ 、 $-V_2$ の順で印加されている。

また次の 3 つの走査電極 $X_4 \sim X_6$ が選択されて、その各

走査電極 $X_4 \sim X_6$ に図 25 の (b) に示す電圧が印加される際には、その各走査電極 $X_4 \sim X_6$ と信号電極との交差する画素のオン・オフ表示と、上記各走査電極 $X_4 \sim X_6$ への印加電圧の各パルスパターンのオン・オフとの不一致に応じた電圧レベルの信号電圧が、図 25 の (c) のように印加される。なお、図 25 の (d) は走査電極 X_1 と信号電極 Y_1 とが交差する画素に印加される電圧波形、すなわち走査電極 X_1 に印加される電圧波形と信号電極 Y_1 に印加される電圧波形との合成波形である。

上記のように、順次複数本の走査電極を同時に選択して駆動する手法は、前記図 21 に示すような 1 ラインずつ選択して駆動する方法と同じオン／オフ比を実現した上で、駆動電圧を低く抑えることができる利点がある。

次に、上記のように順次複数本の走査電極を同時に選択して駆動する手法の一般的な要件や要領および手順等を、順を追って説明する。

A. 要件

- a) N 本の走査電極を N/h のサブグループに分割する。
- b) 各々サブグループは h 本のアドレスラインを持つ。
- c) ある時刻において信号電極は、 h ビットワード (h -bit word) から構成される。

$$d_{k \cdot h + 1}, d_{k \cdot h + 2} \cdots d_{k \cdot h + h} ; d_{k \cdot h + j} = 0 \text{ または } 1$$

ここで、 $0 \leq k \leq (N/h) - 1$ (k : サブグループ)

すなわち 1 列の表示データは、

$d_1, d_2, \dots, d_h \dots \dots$ 第 0 サブグループ

$d_{h+1}, d_{h+2} \dots, d_{h+h} \dots \dots$ 第 1 サブグループ

$d_{N-h+1}, d_{N-h+2} \dots, d_{N-h+h}$

5 $\dots \dots$ 第 $N/h - 1$ サブグループ

となる。

d) 走査電極の選択パターンは、次式に示す周期 2^h の h ビットワードパターンである。

$a_{k \cdot h+1}, a_{k \cdot h+2} \dots, a_{k \cdot h+h} ; a_{k \cdot h+j} = 0$ または 1

10 B. 要領

(1) 1 つのサブグループは同時に選択される。

(2) 走査電極の選択パターンとして、 h ビットワードが 1 つ選ばれる。

(3) 走査電圧は、ロジック 0 に対し $-V_r$ 、

15 ロジック 1 に対し $+V_r$ 、

非選択時は 0 ボルト、とする。

(4) 選択されたサブグループの走査電極と信号電極は、ビット対ビットで比較される。

(5) 走査電極と信号電極のパターンの不一致の数 i を決める。

20

$$i = \sum_{j=1}^h a_{k \cdot h+j} \oplus d_{k \cdot h+j} \quad (0 \leq i \leq h)$$

(6) 信号電極への印加電圧を $V_{(i)}$ とする。 i は不一致数。

(不一致の数に応じて、あらかじめ定められた電圧の1つを選ぶ)

(7) 以上のような手法に基づいて、それぞれ信号電圧を決める(同時、並列的に)。

5 (8) 以上のようにして求められた走査電圧および信号電圧は、時間間隔 Δt の間だけ、ディスプレイに印加される。ただし、 Δt は最小パルス幅である。

(9) 新しい走査電極選択パターンが選択され、上記(4) ~ (6) を再び計算し、次の信号電圧を決める。これも Δt 10 だけ印加される。

(10) 1 サイクル(周期)は 2^h 個すべての走査電極選択パターンが各サブグループにすべて表れ、 N/h のサブグループが選択されて終了する。

$$1 \text{ サイクル} = \Delta t \cdot 2^h \cdot (N/h)$$

15 C. 分析

i 個の不一致(ミスマッチ)がある場合の走査電極選択パターンについて考える。

h ビットワード長の走査電極選択パターンが同じ h ビットワード長のデータパターンと i ビットだけ不一致となる場合 20 の数は、

$${}_h C_i = \{h!\} / \{i! (h-i)!\} = C_i$$

通り存在する。

例えば $h = 3$ 、走査電極選択パターン = (0, 0, 0) の場合を

考えると、下記の表のようになる。

5

不一致数	データパターン (信号電極)	C i
i = 0	(0, 0, 0)	1 通り
i = 1	(0, 0, 1) (0, 1, 0) (1, 0, 0)	3 通り
i = 2	(1, 1, 0) (1, 0, 1) (0, 1, 1)	3 通り
i = 3	(1, 1, 1)	1 通り

これらは、走査電極選択パターンではなく、ワードのビット数で決まる。

10 ピクセルに印加される瞬時電圧の振幅 V_{pixel} は、走査電圧を V_{row} 、信号電圧を V_{column} とすると、

$$V_{\text{pixel}} = (V_{\text{column}} - V_{\text{row}})$$

$$\text{または } (V_{\text{row}} - V_{\text{column}})$$

ここで、

15 $V_{\text{row}} = \pm V_r$

$$V_{\text{column}} = V_{(i)}$$

であれば、

$$V_{\text{pixel}} = +V_r - V_{(i)} \text{ または } -V_r - V_{(i)}$$

である。

20 $V_{\text{row}} = \pm V_r$

$$V_{\text{column}} = \pm V_{(i)}$$

であれば、

$$V_{\text{pixel}} = V_r - V_{(i)}、V_r + V_{(i)}、-V_r - V_{(i)}$$

12

または $-V_r + V_{(i)}$

すなわち、

$$V_{\text{pixel}} = |V_r - V_{(i)}| \text{ または } |V_r + V_{(i)}|$$

となる。

5 従って、ピクセルに印加される具体的振幅は、

選択行で $-(V_r + V_{(i)})$ または $(V_r - V_{(i)})$

非選択行で $V_{(i)}$

である。 $(V_{(i)})$ を両極性と考えると、前記の文献のような記述となる。)

10 一般に、ピクセルに印加される電圧は、

オン・ピクセルではできる限り大きく

オフ・ピクセルではできる限り小さく

することが、高い選択比を実現する上で望ましい。

それゆえ、オンのとき、

15 $|V_r + V_{(i)}|$ はオン・ピクセルに有利に働き、

$|V_r - V_{(i)}|$ はオン・ピクセルに不利に働く。

オフのとき、

$|V_r - V_{(i)}|$ はオフ・ピクセルに有利に働き、

$|V_r + V_{(i)}|$ はオフ・ピクセルに不利に働く。

20 ここで、オンに対する有利とは、実効電圧を上昇させ、オンに対する不利とは、実効電圧を下降させる方向に作用する。

h ビットの中から i 個選択する組み合わせの数は、

$$C_i = {}_h C_i = \{h!\} / \{i! (h-i)!\}$$

であり、 i 個と不一致とすれば、これは h ビット中、 i ビットが不一致となる場合の数であり、

その不一致数は各レベルで i 個であるので、全体の不一致数（総ミスマッチ）は、 $i \cdot C_i$ 個である。

5 これらは、 h ビットにまたがって分布しているので、ピクセル当り（1 ビット当り）の平均不一致数 B_i は、

$$B_i = i \cdot C_i / h \quad (\text{個/ピクセル})$$

である。

また、不一致数の増加に従って信号電圧 $V_{(i)}$ のレベルを
10 増加するとすると、

$$V_{\text{pixel}} = V_{\text{row}} - V_{\text{column}}$$

は、不一致数が増加するに従って減少する。

注目のオン・ピクセルに対して、不一致を不利に働くと考えると、不一致数は、不利な電圧（信号電圧）の数を与える。

15 従って、1 ピクセル当たりの（平均で）不利な電圧の数は、

$$B_i = i \cdot C_i / h$$

となる。

ところで、 C_i のうち i/h が不利であるので、残り、すなわち

20
$$A_i = \{ (h - i) / h \} \cdot C_i$$

は有利に働く。また、

$$\{ (h - i) / h \} \cdot C_i + (i / h) \cdot C_i$$

$$= (h / h) C_i = C_i$$

であり、

$$A_i = C_i - B_i$$

$$= \{ (h-1)! \} / \{ i \cdot (h-i-1)! \}$$

ただし、 $h \geq i+1$

5 である。

以上をまとめると、

$$V_{ON}(r, m, s) = \{ (S_1 + S_2 + S_3) / S_4 \}^{1/2}$$

$$V_{OFF}(r, m, s) = \{ (S_5 + S_6 + S_3) / S_4 \}^{1/2}$$

となる。なお、

$$10 \quad S_1 = \sum_{i=0}^h A_i (V_r + V_{(i)})^2 \quad (\text{有利})$$

$$S_2 = \sum_{i=0}^h B_i (V_r - V_{(i)})^2 \quad (\text{不利})$$

$$S_3 = \{ (N/h) - 1 \} \sum_{i=0}^h (A_i + B_i) V_{(i)}^2$$

$$15 \quad S_4 = 2^h \cdot (N/h)$$

$$S_5 = \sum_{i=0}^h A_i (V_r - V_{(i)})^2 \quad (\text{有利})$$

$$S_6 = \sum_{i=0}^h B_i (V_r + V_{(i)})^2 \quad (\text{不利})$$

である。

20

また、

$$V_r / V_0 = N^{1/2} / h \quad \dots \dots \text{行選択電圧}$$

$$V_{(i)} / V_0 = (h - 2i) / h$$

$$= \{ 1 - (2i/h) \} \dots \dots \text{列電圧}$$

であり、

$$\begin{aligned} R &= (V_{ON} / V_{OFF})_{\max} \\ &= \{ (N^{1/2} + 1) / (N^{1/2} - 1) \}^{1/2} \end{aligned}$$

となる。

- 5 ところが、上記従来例 1～3 のような従来の駆動方法では、
図 27 に示すように、例えば最初のフレーム F で、ある画素
に選択電圧が印加されてから、その画素に次のフレームで選
択電圧が印加されるまでの間に、時間 t の経過と共に明るさ
が次第に低下してオン状態の透過率 T が下がり、一方、オフ
10 状態においてはやや高めの透過率となってオン状態とオフ状
態のコントラストが悪い等の不具合がある。

- また、上記従来例 3 においては図 25 に示すように走査電
極および信号電極に印加するパルス幅が、同時に選択する走
査電極の数が増加するに従って狭くなり、波形のナマリによ
15 るクロストークが増大し画質が悪くなる等の問題がある。そ
の問題は、例えばパルス幅の変調による階調表示等を行う場
合には、更に深刻となる等の不具合がある。

発明の開示

- 20 本発明は上記従来の問題点に鑑みて提案されたもので、そ
の目的とするところは、特に電極数の多い液晶素子等におい
ても良好に駆動することができ、しかも表示性能のよい液晶
素子等の駆動方法と駆動回路および表示装置を提供すること

にある。

そこで、本発明による液晶素子等の駆動方法は、走査電極を有する基板と、信号電極を有する基板との間に液晶層を介在させてなる液晶素子をマルチプレクス駆動する液晶素子の駆動方法において、順次複数本の走査電極を同時に選択し、かつその選択期間を1フレームの中で複数回に分けて駆動するようにしたものである。

上記のような駆動方法を採用することによって、例えば最初のフレームで、ある画素に選択電圧が印加されてから、その画素に次のフレームで選択電圧が印加されるまでの間に、複数回電圧が印加されて明るさが維持されコントラストの低下を防止することが可能となる。

また本発明による液晶素子等の駆動回路は、走査データ発生回路から発生した選択パルスデータと、フレームメモリから順番に読み出された同時に選択される複数本の走査電極上の表示データとを演算回路で演算し、その演算結果である変換データを信号電極ドライバに転送し、走査データ発生回路から発生した走査データを走査電極ドライバに転送して行き、1画面分を走査し終わると次の選択パルスデータと表示データで上記の動作を繰り返し、1フレームで複数回繰り返す構成としたものである。

上記のような駆動回路を用いることによって、前記のような駆動方法を簡単・確実に実行させることが可能となる。

さらに本発明による表示装置は、走査データ発生回路から発生した選択パルスデータと、フレームメモリから順番に読み出された同時に選択される複数本の走査電極上の表示データとを演算回路で演算し、その演算結果である変換データを信号電極ドライバに転送し、走査データ発生回路から発生した走査データを走査電極ドライバに転送して行き、1画面分を走査し終わると次の選択パルスデータと表示データで上記の動作を繰り返すように構成した駆動回路を備え、順次複数本の走査電極を同時に選択し、かつその選択期間を1フレームの中で複数回に分けて駆動するようにしたことを特徴とする。

上記のように構成することによって、コントラストのよい表示装置を提供することが可能となる。

15 図面の簡単な説明

図1は本発明による液晶素子等の駆動方法の一実施例を示す印加電圧波形図。

図2は液晶表示等の概略構成を示す平面図。

図3は実施例による画素への印加電圧と透過率の関係を示すグラフ。

図4は駆動回路の一実施例を示すブロック図。

図5は走査電極ドライバのブロック図。

図6は信号電極ドライバのブロック図。

図7は本発明による液晶素子等の駆動方法の他の実施例を示す印加電圧波形図。

図8は本発明による液晶素子等の駆動方法の他の実施例を示す印加電圧波形図。

5 図9は表示パターンの説明図。

図10は表示パターンに応じた信号電極への印加電圧波形図。

図11は本発明による液晶素子等の駆動方法の他の実施例を示す印加電圧波形図。

10 図12は表示パターンの説明図。

図13の(a)は走査電極への印加電圧波形図、(b)は表示パターンに応じた信号電極への印加電圧波形図。

図14は本発明による液晶素子等の駆動方法の他の実施例を示す印加電圧波形図。

15 図15は走査電極への印加電圧波形の変更例を示す説明図。

図16は変更した走査電圧を印加して駆動する場合の印加電圧波形図。

図17は本発明による液晶素子等の駆動方法の他の実施例を示す印加電圧波形図。

20 図18は仮想電極の配置例を示す説明図。

図19は本発明による液晶素子等の駆動方法の他の実施例を示す印加電圧波形図。

図20は仮想電極を用いて信号電圧レベルを削減する要領

を示す説明図。

図 2 1 は従来の液晶素子等の駆動方法の一例を示す印加電圧波形図。

図 2 2 は表示パターンの説明図。

5 図 2 3 は従来の液晶素子等の駆動方法の他の例を示す印加電圧波形図。

図 2 4 は表示パターンに応じて信号電極に印加する信号電圧波形の説明図。

図 2 5 は従来の液晶素子等の駆動方法の他の例を示す印加電圧波形図。
10

図 2 6 は表示パターンの説明図。

図 2 7 は従来例による画素への印加電圧と透過率の関係を
示すグラフ。

15 発明を実施するための最良の形態

以下、図に示す実施例に基づいて本発明による液晶素子等の駆動方法と駆動回路および表示装置を具体的に説明する。

〔実施例 1〕

図 1 は本発明による液晶表示素子等の駆動方法の一実施例
20 を示す印加電圧波形図であり、同図 (a) は走査電極 X_1 、 X_2 に印加される電圧波形、(b) は走査電極 X_3 、 X_4 に印加される電圧波形、(c) は信号電極 Y_1 に印加される電圧波形、(d) は走査電極 X_1 と信号電極 Y_1 とが交差する

画素に印加される電圧波形を表す。

図 2 は上記の印加電圧によって駆動する液晶素子等（液晶ディスプレイモジュール）の概略構成を示す平面図であり、図において、1 は走査電極ドライバ、2 は信号電極ドライバ、
5 X_1 、 X_2 …… X_n は走査電極、 Y_1 、 Y_2 …… Y_m は信号電極である。

本実施例は前記従来例 2 における前記図 2 3 に示す駆動方法において、選択期間を 1 フレーム F 内で 2 回に分けて駆動することによって図 2 に示すような表示を行ったものである。

10 即ち、図 1 に示すように先ず走査電極 X_1 ・ X_2 を選択し、その走査電極 X_1 ・ X_2 に前記図 2 3 における期間 t_1 の走査電圧を印加すると同時に、各信号電極 Y_1 ～ Y_m に前記従来例と同様の要領で設定した信号電圧を印加し、次いで走査電極 X_3 ・ X_4 を選択して上記走査電極 X_1 ・ X_2 と同様の
15 走査電圧を印加すると同時に、各信号電極 Y_1 ～ Y_m に同様に信号電圧を印加し、これを全ての走査電極 X_1 ～ X_n が選択されるまで繰り返す。次に再び走査電極 X_1 ・ X_2 を選択して前記図 2 3 における期間 t_2 の走査電圧を印加すると同時に、各信号電極 Y_1 ～ Y_m に信号電圧を印加し、次いで走
20 査電極 X_3 ・ X_4 を選択して走査電圧を印加すると同時に、各信号電極 Y_1 ～ Y_m に信号電圧を印加して行き、全ての走査電極 X_1 ～ X_n が選択されるまで繰り返す。以上の操作を 1 フレーム F 内で実行することによって 1 画面分の表示を行

い、これを順次繰り返すものである。

上記のように駆動することによって図3に示すような光学
応答となり、前記図27の従来例との対比から明らかなよう
に、オン状態では従来より明るくなり、オフ状態では従来よ
5 り暗くできるためにコントラストが向上し、チラツキも減少
させることができるものである。

次に上記のような駆動方法を実行させる駆動回路の構成例
を図4～図6に基づいて説明する。

図4は駆動回路の一例を示すブロック図であり、図におい
10 て1は走査電極ドライバ、2は信号電極ドライバ、3はフレ
ームメモリ、4は演算回路、5は走査データ発生回路、6は
ラッチである。

図5は走査電極ドライバのブロック図であり、11はシフ
トレジスタ、12はラッチ、13はデコーダ、14はレベル
15 シフトである。

図6は信号電極ドライバのブロック図であり、21はシフ
トレジスタ、22はラッチ、23はデコーダ、24はレベル
シフトである。

上記の構成において、各走査電圧波形は、図4の走査デー
20 タ発生回路5から発生する、正の選択か、負の選択か、ある
いは非選択であるかのデータを発生させ、走査電極ドライバ
1に転送する。

その走査電極ドライバ1では図5に示すように走査データ

発生回路 5 からの走査データ信号 S 3 を走査シフトクロック
信号 S 5 でシフトレジスタ 1 1 に転送し、一走査期間におけ
る各走査電極のデータを転送した後ラッチ信号 S 6 によって
各データがラッチされ、各走査電極の状態を表すデータをデ
5 コードし、各出力ごとのアナログスイッチ 1 5 で 3 つのスイ
ッチのうちの 1 つをオンさせて、正の選択のときは V_1 、負
の選択のときは $-V_1$ 、非選択のときは 0 の電圧を選択され
た走査電極に出力する。

一方、各信号電圧波形は、フレームメモリ 3 からの同時に
10 選択される 2 本の走査電極毎の表示データ信号 S 1 を読みだ
し、その表示データ信号 S 1 と走査データ信号 S 3 から選択
パルスデータをラッチし、表示データ信号 S 1 と選択パルス
データ信号 S 4 を演算回路 4 でデータ変換する。そのデータ
変換は、例えば前記従来例 2 で説明した要領でなされ、信号
15 電極ドライバ 2 に転送される。

その信号電極ドライバ 2 では図 6 に示すように演算回路 4
5 からのデータ信号 S 2 をシフトクロック信号 S 7 でシフト
レジスタ 2 1 に転送し、一走査期間における各走査電極のデ
ータを転送した後ラッチ信号 S 8 によって各データがラッチ
20 され、各走査電極の状態を表すデータをデコードし、各出力
ごとのアナログスイッチ 2 5 で 3 つのスイッチのうちの 1 つ
をオンさせて、 V_2 、 $-V_2$ 、0 ボルトのいずれかの電圧を
各信号電極に出力する。

上記のような駆動回路を用いることによって、前記のような駆動方法を簡単・確実に実行させることができる。

また前記のような表示素子等を有する表示装置に上記のような駆動回路を備え、前記のような駆動方法を実行させるようにすれば、コントラストの高い表示装置が得られるものである。

なお上記実施例においては、選択期間を1フレームF内で2回に分けて電圧を印加するようにしたが、2回以上、例えば4回に分けて電圧を印加することもできる。また上記実施例では、走査電極を配列順序に従って2本ずつ選択したが、必ずしも配列順序に従うことなく選択することもできる。上記の変更は後述する実施例においても同様である。

〔実施例2〕

図7は本発明による液晶表示素子等の駆動方法の他の実施例を示す印加電圧波形図である。

本実施例は同時に選択される走査電極に印加される走査電圧波形を1フレームF毎に交互に入れ換えるようにしたものである。他の構成は前記実施例1と同様である。

上記のように同時に選択される走査電極に印加される走査電圧波形を1フレームF毎に交互に入れ換えるようにすると、印加電圧波形の違いによる表示ムラの発生を防止することができる。

また本実施例においても選択期間を1フレームF内で2回

に分けて電圧を印加するので、前記実施例 1 と同様にコントラストが向上し、チラツキも減少させることができる。

さらに本実施例においても前記実施例と同様の駆動回路を用いることができ、又それを用いた表示品質の高い表示装置を提供できるものである。

なお上記実施例では 1 フレーム毎に走査電圧波形を入れ換えるようにしたが、複数フレームおきに入れ換えることもできる。

また上記実施例 1 および 2 においては、走査電極を同時に 2 本ずつ選択する場合を例にして説明したが、後述する実施例のように同時に 3 本以上選択して駆動することもできる。又その場合、上記実施例 2 と同様に同時に選択される走査電極に印加する走査電圧波形を 1 フレームもしくは複数フレームおきに順次入れ替えることもできる。

〔実施例 3〕

図 8 は、本発明による液晶素子等の駆動方法の他の実施例を示す印加電圧波形図であり、同図 (a) は走査電極 X_1 、 X_2 に印加される電圧波形、(b) は走査電極 X_3 、 X_4 に印加される電圧波形、(c) は信号電極 Y_1 に印加される電圧波形、(d) は走査電極 X_1 と信号電極 Y_1 とが交差する画素に印加される電圧波形を示す。

本実施例は前記実施例 1 と同様に同時に 2 本ずつ走査電極を選択し、その同時に選択される走査電極に図 8 の (a) に

示すような電圧波形の走査電圧を印加すると共に、その選択期間を1フレーム内で2回に分けて駆動することによって前記図2に示すような表示を行ったものである。

走査電極の選択の順序は前記実施例1と同様であり、先ず
5 走査電極 $X_1 \cdot X_2$ を選択して、その走査電極 $X_1 \cdot X_2$ に
 t_{11} の期間で走査電圧を印加すると同時に、各信号電極 Y_1
 $\sim Y_m$ に表示データに応じた所定の信号電圧を印加し、次い
で走査電極 $X_3 \cdot X_4$ を選択して上記走査電極 $X_1 \cdot X_2$ と
同様の走査電圧を t_{11} の期間で印加すると同時に、各信号電
10 極 $Y_1 \sim Y_m$ に表示データに応じた所定の信号電圧を印加し、
これを全ての走査電極 $X_1 \sim X_n$ が選択されるまで繰り返す。

次に、再び走査電極 $X_1 \cdot X_2$ を選択して t_{12} の期間で走
査電圧を印加すると同時に、各信号電極 $Y_1 \sim Y_m$ に表示デ
ータに応じた所定信号電圧を印加し、次いで走査電極 $X_3 \cdot$
15 X_4 を選択して上記走査電極 $X_1 \cdot X_2$ と同様の走査電圧を
 t_{12} の期間で印加すると同時に、各信号電極 $Y_1 \sim Y_m$ に表
示データに応じた所定の信号電圧を印加し、これを全ての走
査電極 $X_1 \sim X_n$ が選択されるまで繰り返す。以上の操作を
1フレームF内で実行することによって1画面分の表示を行
20 い、これを順次繰り返すものである。

なお本実施例においては各走査電極に印加される走査電圧
の波形を1フレーム毎に正負を反転させて、いわゆる交流駆
動をさせている。この場合、複数のフレームおきに正負を反

転させることも可能であり、また上記のような交流駆動を前記の実施例もしくは後述する実施例にも適用可能である。

上記の各信号電極 $Y_1 \sim Y_m$ には、本実施例においても前記従来例 2 および実施例 1 と同様の要領で設定した信号電圧を印加するようにしたもので、その要領を図 9 および図 10 に基づいて説明する。

図 9 は同時に選択される例えば走査電極 $X_1 \cdot X_2$ 上における画素の 4 種類の表示パターンを示すものである。即ち、図の場合は黒丸印をオン、白丸印をオフとして、表示パターン a は両走査電極 $X_1 \cdot X_2$ 上の画素が共にオフ、表示パターン b は走査電極 X_1 上の画素がオフで走査電極 X_2 上の画素がオン、表示パターン c は走査電極 X_1 上の画素がオンで走査電極 X_2 上の画素がオフ、表示パターン d は両走査電極 $X_1 \cdot X_2$ 上の画素が共にオンの場合を示す。

図 10 は同時に選択される走査電極に印加される走査電圧波形と各信号電極に印加される信号電圧波形との関係を示すもので、同図 (a) の $X_1 \cdot X_2$ は各走査電極 $X_1 \cdot X_2$ に印加される走査電圧波形、同図 (b) の $Y_a \sim Y_d$ はそれぞれ図 9 の表示パターン a ~ d に応じて各信号電極 $Y_1 \sim Y_m$ に印加される信号電圧波形を示す。

即ち、両走査電極 $X_1 \cdot X_2$ 上の画素が図 9 の表示パターン a のようにいずれもオフの場合には、図 10 の (b) における Y_a の信号電圧波形が印加され、同様に表示パターン b

の場合は Y b、表示パターン c の場合は Y c、表示パターン d の場合は Y d の信号電圧波形がそれぞれ印加されることを示すものである。

上記の信号電圧波形は、前記従来例 2 および実施例 1 と同様に各走査電極 X_1 ・ X_2 に印加される走査電圧パルスが正のときを 1、負のときを -1、各画素の表示がオンのときを 1、オフのときを 0 と仮定して各パルス毎に比較し、一致数と不一致数の差が、2 のときは V_2 ボルト、0 のときは 0 ボルト、-2 のときは $-V_2$ ボルトをそれぞれ印加するようにしたものである。

例えば、図 9 の表示パターン a のように両走査電極 X_1 ・ X_2 がいずれもオフの場合にはいずれも 0 であり、順に並べると 0・0 となる。これに対し、図 10 における t_1 の期間では走査電極 X_1 のパルス波形は正であるから 1、走査電極 X_2 のパルス波形は負であるから -1 となり、これを順に並べると 1・-1 となる。その 1・-1 と上記の表示の 0・0 とを順に対比すると前者は 1 と 0 で一致し、後者は -1 と 0 で不一致となり、一致数は 1、不一致数も 1 であるから、一致数から不一致数を引くと 0 となり、Y a の t_1 の期間では 0 ボルトが印加される。また t_2 の期間では走査電極 X_1 ・ X_2 のパルス波形は共に正であるから 1・1 となり、上記の表示の 0・0 と順に対比すると両者共に一致し、一致数は 2、不一致数は 0 であるから、一致数から不一致数を引くと 2 と

なり、 Y_a の t_2 の期間では V_2 ボルトの信号電圧が印加されるものである。

他の信号電圧波形 $Y_b \sim Y_d$ についても同様の要領で一致数と不一致数の差に応じて所定の電圧が印加される。

5 因みに、前記図 2 の表示パターンに応じて駆動させた本実施例による図 8 の駆動方法においては、図 2 の信号電極 Y_1 に対応する走査電極 $X_1 \cdot X_2$ 上の表示パターンはオン・オフであるから、図 9 の c の表示パターンに相当し、信号電極 Y_1 には図 8 の (c) に示すように t_1 および t_2 の期間に
10 において Y_c に相当する信号電圧が印加されている。

また図 2 の信号電極 Y_1 に対応する走査電極 $X_3 \cdot X_4$ 上の表示パターンもオン・オフであり図 9 の c の表示パターンに相当し、図 8 の (c) に示すように t_{11} および t_{12} の期間
15 において信号電極 Y_1 には Y_c に相当する信号電圧が印加されている。

上記のように本実施例においても順次 2 本の走査電極を選択し、その選択期間を 1 フレーム F 内で 2 回に分けて駆動するようにしたので、前記実施例 1 と同様の効果が得られるものである。

20 実際に、走査電極の数を 240 本設けて駆動電圧を $V_1 = 16.8$ ボルト、 $V_2 = 2.1$ ボルトとして駆動したところ、前記図 3 と同様の光学応答となり、オン状態では従来より明るくなり、オフ状態では従来より暗くなってコントラストが

向上し、ちらつきも減少させることができた。

また本実施例の駆動方法においても、前記実施例 1 とほぼ同様の前記図 4 に示す駆動回路や図 5 に示す走査電極ドライバおよび図 6 に示す信号電極ドライバを用いることができる。

- 5 この場合、上記の一致数と不一致数の差の演算等は前記実施例と同様に前記図 4 における演算回路 4 で行い、その演算回路 4 でデータ変換した信号を信号電極ドライバ 2 に転送して各信号電極に印加する信号電圧波形を作成すればよい。

- 10 上記のような駆動回路を用いることによって、前記のような駆動方法を簡単・確実に実行させることができると共に、表示性能の優れた表示装置を提供することが可能となる。

〔実施例 4〕

- 図 11 は本発明による液晶素子等の駆動方法の他の実施例を示す印加電圧波形図であり、同図 (a) は走査電極 $X_1 \sim X_4$ に印加される電圧波形、(b) は走査電極 $X_5 \cdot X_6$ に印加される電圧波形、(c) は信号電極 Y_1 に印加される電圧波形、(d) は走査電極 X_1 と信号電極 Y_1 とが交差する画素に印加される電圧波形を示す。
- 15

- 本実施例は同時に 4 本ずつ走査電極を選択し、その同時に選択される走査電極に図 11 の (a) に示すような電圧波形の走査電圧を印加すると共に、その選択期間を 1 フレーム内で 4 回に分けて駆動することによって前記図 2 に示すような表示を行ったものである。
- 20

即ち、先ず走査電極 $X_1 \sim X_4$ を選択して、その走査電極 $X_1 \sim X_4$ に t_1 の期間で走査電圧を印加すると同時に、各信号電極 $Y_1 \sim Y_m$ に表示データに応じた所定の信号電圧を印加し、次いで走査電極 $X_5 \sim X_8$ を選択する。なお図 11 の (b) には紙面の都合で走査電極 $X_5 \sim X_8$ のみを示した。その選択した走査電極 $X_5 \sim X_8$ に上記走査電極 $X_1 \sim X_4$ と同様の走査電圧を t_{11} の期間で印加すると同時に、各信号電極 $Y_1 \sim Y_m$ に表示データに応じた所定の信号電圧を印加し、これを全ての走査電極 $X_1 \sim X_n$ が選択されるまで繰り返す。

次に、再び走査電極 $X_1 \sim X_4$ を選択して t_2 の期間で走査電圧を印加すると同時に、各信号電極 $Y_1 \sim Y_m$ に表示データに応じた所定信号電圧を印加し、次いで走査電極 $X_5 \sim X_8$ を選択して上記走査電極 $X_1 \sim X_4$ と同様の走査電圧を t_{12} の期間で印加すると同時に、各信号電極 $Y_1 \sim Y_m$ に表示データに応じた所定の信号電圧を印加し、これを全ての走査電極 $X_1 \sim X_n$ が選択されるまで繰り返す。

そして上記と同様の操作を 1 フレーム F 内で 4 回繰り返すことによって 1 画面分の表示を行うものである。

なお本実施例においても各走査電極に印加される走査電圧の波形を 1 フレーム毎に正負を反転させて、いわゆる交流駆動をさせている。

上記の各信号電極 $Y_1 \sim Y_m$ には、本実施例においても前

記実施例 3 とほぼ同様の要領で設定した信号電圧を印加するようにしたもので、その要領を図 1 2 および図 1 3 に基づいて説明する。

図 1 2 は同時に選択される走査電極、例えば走査電極 X_1 ~ X_4 上における表示パターンを示すもので、図においては黒丸印をオン、白丸印をオフとして、a ~ h の 8 つの表示パターンが例示されている。

図 1 3 の (a) は各走査電極 X_1 ~ X_4 に印加される走査電圧波形、同図 (b) における Y_a ~ Y_h は図 1 2 の表示パターン a ~ h に応じて各信号電極 Y_1 ~ Y_m に印加される信号電圧波形を示す。

即ち、同時に選択される走査電極 X_1 ~ X_4 上の画素が、例えば図 1 2 の表示パターン a のようにいずれもオフの場合には、図 1 3 の (b) における Y_a の信号電圧波形を印加し、同様に表示パターン b の場合は Y_b 、表示パターン c の場合は Y_c 、表示パターン d の場合は Y_d 、表示パターン e の場合は Y_e 、表示パターン f の場合は Y_f 、表示パターン g の場合は Y_g 、表示パターン h の場合は Y_h の信号電圧波形をそれぞれ印加するものである。

上記の信号電圧波形は、前記実施例 3 と同様に各走査電極 X_1 ~ X_4 に印加される走査電圧波形が正の選択パルスするときを 1、負の選択パルスときを -1、各画素の表示がオンのときを -1、オフのときを 1 と仮定して一致数と不一致数

を算定し、一致数と不一致数の差が、4 のときは V_3 ボルト、
2 のときは V_2 ボルト、0 のときは 0 ボルト、-2 のときは
- V_2 ボルト、-4 のときは - V_3 ボルトの電圧をそれぞれ
印加するようにしている。なお上記の電圧 V_2 ・ V_3 の比は、
5 $V_2 : V_3 = 1 : 2$ 、に設定されている。

例えば、図 12 における表示パターン a のように走査電極
 $X_1 \sim X_4$ 上の画素が全てオフのときは、表示はいずれも 1
で、順に並べると、1 ・ 1 ・ 1 ・ 1 あり、これに対して図 1
3 の (a) における t_1 の期間では、走査電極 $X_1 \sim X_4$ の
10 波形は全て正であるから 1 で、順に並べると 1 ・ 1 ・ 1 ・ 1
となり、両者を順に対比すると全て一致し、一致数は合わせ
て 4、不一致数は 0 で、一致数から不一致数を引くと 4 とな
り、Y a の t_1 の期間には V_3 ボルトの電圧が印加される。
また t_2 の期間では、4 つの走査電極 $X_1 \sim X_4$ の波形は、
15 順に正 ・ 正 ・ 負 ・ 負であるから、順に 1 ・ 1 ・ -1 ・ -1 で
あり、上記の表示の 1 ・ 1 ・ 1 ・ 1 と順に対比すると、一致
数は 2、不一致数も 2 で、一致数から不一致数を引くと 0 と
なり、Y a の t_2 の期間には 0 ボルトの電圧が印加される。
同様に t_3 の期間では、4 つの走査電極 $X_1 \sim X_4$ の波形は、
20 順に正 ・ 負 ・ 正 ・ 負であるから、順に 1 ・ -1 ・ 1 ・ -1 で
あり、上記の表示の 1 ・ 1 ・ 1 ・ 1 と順に対比すると、一致
数は 2、不一致数も 2 で、一致数から不一致数を引くと 0 と
なり、Y a の t_3 の期間には 0 ボルトの電圧が印加される。

さらに t_4 の期間では、4つの走査電極 $X_1 \sim X_4$ の波形は、順に正・負・負・正であるから、順に $1 \cdot -1 \cdot -1 \cdot 1$ であり、上記の表示の $1 \cdot 1 \cdot 1 \cdot 1$ と順に対比すると、一致数は2、不一致数も2で、一致数から不一致数を引くと0となり、Y a の t_4 の期間には0ボルトの電圧が印加される。

次に、図12のbに示す表示パターンについては、走査電極 $X_1 \sim X_4$ 上の画素が順にオン・オフ・オン・オフであるから $-1 \cdot 1 \cdot -1 \cdot 1$ あり、これに対して図13の(a)における t_1 の期間では、走査電極 $X_1 \sim X_4$ の波形は全て正であるから、順に並べると $1 \cdot 1 \cdot 1 \cdot 1$ であり、両者を順に対比すると、一致数は2、不一致数は2で、一致数から不一致数を引くと0となり、Y b の t_1 の期間には0ボルトの電圧が印加される。

また t_2 の期間では、4つの走査電極 $X_1 \sim X_4$ の波形は、順に正・正・負・負であるから、順に $1 \cdot 1 \cdot -1 \cdot -1$ であり、上記の表示の $-1 \cdot 1 \cdot -1 \cdot 1$ と順に対比すると、一致数は2、不一致数も2で、一致数から不一致数を引くと0となり、Y b の t_2 の期間には0ボルトの電圧が印加される。

同様に t_3 の期間では、4つの走査電極 $X_1 \sim X_4$ の波形は、順に正・負・正・負であるから、順に $1 \cdot -1 \cdot 1 \cdot -1$ であり、上記の表示の $-1 \cdot 1 \cdot -1 \cdot 1$ と順に対比すると、全て不一致で一致数は0、不一致数は4で、一致数から

不一致数を引くと -4 となり、 Y_b の t_3 の期間には $-V_3$ ボルトの電圧が印加される。

さらに t_4 の期間では、4つの走査電極 $X_1 \sim X_4$ の波形は、順に正・負・負・正であるから、順に $1 \cdot -1 \cdot -1 \cdot$

5 1 であり、上記の表示の $-1 \cdot 1 \cdot -1 \cdot 1$ と順に対比すると、一致数は2、不一致数も2で、一致数から不一致数を引くと0となり、 Y_b の t_4 の期間には0ボルトの電圧が印加される。

他の表示パターン $c \sim h$ についても同様の要領で一致数と
10 不一致数の差が、4のときは V_3 ボルト、2のときは V_2 ボルト、0のときは0ボルト、 -2 のときは $-V_2$ ボルト、 -4 のときは $-V_3$ ボルトの電圧をそれぞれ印加するようにして各表示パターン $c \sim h$ に応じた信号電圧波形 $Y_c \sim Y_h$ を形成するものである。なお図12に示す8つの表示パターン
15 $a \sim h$ 以外にも更に8つの表示パターンが生じ得るが、それ等の表示パターンについても上記と同様の要領で信号電圧波形が形成される。

このように同時に選択された走査電極上の各画素の表示内容と走査電極波形の選択パルスの極性とを比較し、一致して
20 いる数と不一致の数の差を演算することによって、表示内容に応じた信号電圧を各信号電極に印加して行くものである。

因みに、前記図2の表示パターンに応じて駆動させた本実施例による前記図11の駆動方法においては、図2の信号電

極 Y_1 に対応する走査電極 $X_1 \sim X_4$ 上の表示パターンは順
にオン・オフ・オン・オフであるから、図 12 の表示パター
ン b に相当し、信号電極 Y_1 には図 11 の (c) に示すよう
に $t_1 \cdot t_2 \cdot t_3 \cdot t_4$ の期間において、図 13 (b) の
5 Y_b に相当する信号電圧が印加されている。

上記のように本実施例においても順次 4 本の走査電極を選
択し、その選択期間を 1 フレーム F 内で 4 回に分けて駆動す
るようにしたので、前記実施例 1 と同様の効果が得られるも
のである。

10 実際には、走査電極の数を 240 本設けて駆動電圧を $V_1 =$
1.2 ボルト、 $V_2 = 1.5$ ボルト、 $V_3 = 3$ ボルトとして駆
動したところ、前記図 3 と同様の光学応答となり、オン状態
では従来より明るくなり、オフ状態では従来より暗くなって
コントラストが向上し、ちらつきも減少させることができた。

15 また本実施例の駆動方法においても、前記実施例 1 とほぼ
同様の前記図 4 に示す駆動回路や図 5 に示す走査電極ドライ
バおよび図 6 とほぼ同様の信号電極ドライバを用いることが
できる。

この場合、上記の一致数と不一致数の差の演算等は前記実
20 施例と同様に前記図 4 における演算回路 4 で行い、その演算
回路 4 でデータ変換した信号を信号電極ドライバ 2 に転送し
て各信号電極に印加する信号電圧波形を作成すればよい。

その際、前記図 6 に示す信号電極ドライバのアナログスイ

ッチ 2 5 は各信号電極 $Y_1 \sim Y_m$ 毎に 3 つのスイッチを設けて V_2 、0、 $-V_2$ の 3 種の電圧を入力させ、そのいずれかの電圧を出力させる構成であるが、本実施例においては各信号電極 $Y_1 \sim Y_m$ 毎に 5 つのスイッチを設けて V_3 、 V_2 、
5 0、 $-V_2$ 、 $-V_3$ の 5 種の電圧を入力させ、そのいずれかの電圧を出力させるように構成すればよい。

上記のような駆動回路を用いることによって、前記のような駆動方法を簡単・確実に実行させることができると共に、表示性能の優れた表示装置を提供することが可能となる。

10 なお上記実施例 3 および実施例 4 においては、選択期間を 1 フレーム F 内で 2 回もしくは 4 回に分けて駆動したが、その分割回数は任意である。

また上記実施例 3 および実施例 4 は、走査電極を同時に 2 本もしくは 4 本選択する場合について説明したが、3 本もしくは 4 本以上選択して駆動させることもできる。
15

〔実施例 5〕

図 1 4 は本発明による液晶素子等の駆動方法の一実施例を示す印加電圧波形図である。

前記図 2 5 の従来例においては、順次複数本の走査電極を同時に選択し、その選択期間を 1 フレーム F の中で 1 箇所
20 まとめて設けたのに対して、本実施例は選択期間を 1 フレーム F の中で複数回に分けて設けたものである。

特に図の場合は、前記図 2 5 の従来例において走査電極お

よび信号電極に印加する 8 つのパルスパターン（ブロック）よりなる電圧波形を、パルスパターン毎に等間隔に 8 つに分割して出力するようにした例を示す。

即ち、図 14 に示すように最初に選択された 3 つの走査電極 $X_1 \cdot X_2 \cdot X_3$ に、前記図 25 において各走査電極 $X_1 \cdot X_2 \cdot X_3$ に印加した 8 つのパルスパターンの内の最初のパルスを印加し、同時に各信号電極 $Y_1 \sim Y_m$ に前記従来例と同様の要領で選択パルスと表示データとの不一致数に応じた所定電圧レベルの信号電圧波形を印加する。次いで選択された走査電極 $X_4 \cdot X_5 \cdot X_6$ に図 25 で印加した 8 つのパルスパターンの内の最初のパルスを印加し、同時に各信号電極 $Y_1 \sim Y_m$ に所定電圧レベルの信号電圧波形を印加する。

これを全ての走査電極について行ったのち、再び最初の走査電極 $X_1 \cdot X_2 \cdot X_3$ に戻って前記 8 つのパルスパターンの内の 2 番目のパルスを印加していく。そして全ての走査電極について前記 8 つのパルスパターンが印加されたところで 1 つのフレーム F が終了するものである。

本実施例においても、上記のように 1 フレーム中で複数回、特に本実施例においては 8 回の選択パルスが印加されるので、各画素における非選択期間すなわちオフの期間がさらに短くなり、前記図 3 と同様にオン状態はより明るく、かつオフ状態はより暗くなってコントラストを高めることができ、チラツキも減少させることができるものである。

また本実施例の駆動方法においても、前記実施例 1 とほぼ同様の駆動回路や走査電極ドライバおよび信号電極ドライバを用いることができる。この場合、前記の不一致数の演算等は前記実施例 1 と同様に前記図 4 における演算回路 4 で行い、
5 その演算回路 4 でデータ変換した信号を前記実施例 4 と同様に構成した信号電極ドライバに転送して各信号電極に印加する信号電圧波形を作成すればよい。

さらに上記のような駆動回路を用いることによって前記のような駆動方法を簡単・確実に実行させることができると共に、表示性能の優れた表示装置を提供することが可能となる。
10

なお本実施例における各選択期間の選択パルスを出す順番は任意であり、1 フレーム F の中で適宜入れ替えることもできる。また本実施例は 8 つのパルスパターンを 1 つずつ 8 回に分けたが、複数つつ、例えば 2 つずつ 4 回に分けて出力する
15 こともできる。

〔実施例 6〕

前述のように順次複数本（ h 本）の走査電極を選択して駆動する場合のビットワードパターンの数は前述のように 2^h あり、例えば前記例のように $h = 3$ の場合には、 $2^3 = 8$ 個
20 のパターンがある。

これを 3 つの走査電極 $X_1 \cdot X_2 \cdot X_3$ に印加する電圧のオン・オフパターンは、オンを 1、オフを 0 として下記表のように現すことができる。

X ₁	0	0	0	0	1	1	1	1
X ₂	0	0	1	1	0	0	1	1
X ₃	0	1	0	1	0	1	0	1

これを基に各走査電極に印加する電圧波形を形成すると、

- 5 図15の(a)のようになる。ところが、同図(a)の波形は周波数にバラツキがあり、実際に用いた場合には表示むらが生ずるおそれがある。

そこで、配列を適宜入れ替えて周波数成分の片寄りをなくすようにしたのが、同図(b)の波形であり、前記図25の
10 従来例では、この波形を用いたものである。

しかしながら、上記の図15の(a)のような波形はもとより、同図(b)のような波形を用いた場合においても、特に同時に選択する走査電極の数が増加すると、前記のビットワードパターンの数は指数関数的に増大し、それに伴って必然的に各パルス幅が狭くなり、実際に画素に印加される際には、いわゆるナマリが生じるおそれがあり、しかも例えばパルス幅の変調による階調表示を行う場合には、パルス幅が更に狭くなってクロストークの発生原因となる。
15

そこで、本実施例においては、以下の要領で走査電極への
20 印加電圧波形を設定してパルス幅が広くなるようにしたものである。

走査電極への印加電圧波形は、

- ①. 各走査電極が区別できること

②. 各走査電極に加わる周波数成分が大きく異なること

③. 1 フレームあるいは数フレーム内での交流性が保証されること

ること

などを考慮して決める。

- 5 即ち、ナチュラルバイナリ、ウォルシュ、アダマール等の直交関数系の中から上記条件を考慮して印加電圧のパターンを適宜選択することである。

このうち上記の項目①は絶対条件である。特に項目①を満足するためには、各走査電極への印加電圧波形がそれぞれ異なる周波数成分を持つように決める。

10

上記の要件を考慮して決定したのが、図15の(c)の印加電圧波形であり、その印加電圧波形は、

$$X_1 : 4 * \Delta t$$

$$X_2 : 4 * \Delta t、2 * \Delta t$$

15 $X_3 : 2 * \Delta t$

という異なる周波数成分を含んでいる。

20

図16は上記図15の(c)の波形を基にして走査電極への印加電圧波形を形成すると共に、それに対する信号電極への電圧波形を前記従来例と同様の要領で形成して駆動する場合の印加電圧波形図である。

上記図15の(a)・(b)および前記図25の従来例において最も短いパルス幅は Δt であったのに対し、図15の(c)および図16の最も狭いパルス幅は $2\Delta t$ であり、2

倍に拡大できる。このようにパルス幅を広くすることによって波形のナマリの影響を少なくすることができ、クロストークを減少させることができると共に、同時に選択する走査電極の数を増大させることが可能となる。

- 5 なお、上記実施例の波形は一例であって適宜変更できると共に、走査電極の選択順序や各走査電極に印加するパルスパターンの配列順序等は任意に変更できる。

図17は上記図16の駆動波形を、実施例5と同様に1フレームF内で複数回に分けて印加するようにした例を示す。

- 10 上記のようにすると、実施例5と同様にオン・オフ状態のコントラストを高めることができると共に、チラツキも減少させることが可能となり、しかも波形のナマリによるクロストークを低減できる。また前記実施例5と同様の駆動回路を用いることができると共に、同様の表示装置が得られる。

15 〔実施例7〕

前記の実施例においては、信号電極の電圧レベルとして、 $V_3 \cdot V_2 \cdot -V_2 \cdot -V_3$ の4つのレベルを用いたが、そのレベル数は以下の要領で削減することができる。

- 20 先ず、上記の電圧レベル数を削減する場合の一般的な手法から説明する。

前述のサブグループh本の内、e本を仮想走査電極（仮想ライン）とし、この仮想走査電極のデータの一致・不一致を制御することにより、全体の一致・不一致数を制限し、信号電

42

極の駆動電圧のレベル数を削減する。

不一致数を M_i 、 V_c を適当な定数とすると、信号電極への印加電圧 V_{column} は、

$$\begin{aligned}
 V_{column} &= V_c \sum_{j=1}^h a_{k+h+j} \oplus d_{k+h+j} \\
 &= V_c (2M_i - h) \quad (V_c : \text{定数})
 \end{aligned}$$

あるいは単純に

$$V_{column} = V_{(i)} \quad 0 \leq i \leq h$$

いずれにせよ、 V_{column} は $h+1$ レベルある。

例えば、サブグループ $h=4$ 、仮想走査電極 $e=1$ の場合について考える。

前記実施例のように $h=3$ の場合のレベル数は、 $-V_3$ 、 $-V_2$ 、 V_2 、 V_3 の4レベルであり、このとき仮想走査電極で偶数個の不一致となるように制御すると下記表のようになる。

なる。

もとの 電圧 レベル	もとの 不一致数	仮想 走査電極	修正後の 不一致数	修正後の 電圧 レベル
$-V_3$	0	一致	0	V_a
$-V_2$	1	不一致	2	V_b
V_2	2	一致	2	V_b
V_3	3	不一致	4	V_d

上記のように、元の電圧レベルが4段階であったものを3

段階にすることができる。また、不一致数が奇数個になるようにすると、上記表中の修正後の不一致数は、上から順に 1、1、3、3 となり、修正後の電圧レベルを、例えば $V_a \cdot V_a \cdot V_b \cdot V_b$ の 2 レベルにすることができる。

- 5 またサブグループが $h = 4$ で、電圧レベルを削減しない場合の電圧レベルは、例えば $-V_3$ 、 $-V_2$ 、 0 、 V_2 、 V_3 の 5 レベル必要であるのに対し、仮想走査電極で偶数個の不一致となるように制御すると、下記表のようになる。

10	削減前の 電圧 レベル	削減前の 不一致数	仮想 ライン	修正後の 不一致数	修正後の 電圧 レベル
	$-V_3$	0	一 致	0	V_a
	$-V_2$	1	不一致	2	V_b
	0	2	一 致	2	V_b
15	V_2	3	不一致	4	V_d
	V_3	4	一 致	4	V_d

上記のように、元の電圧レベルが 5 段階であったものを 3 段階にすることができる。上記の場合も不一致数が奇数個になるようにして電圧レベルを設定することができる。

- 20 なお、上記の仮想走査電極は、通常は表示しなくてよいので、必ずしも現実 to 設ける必要はないが、設ける場合には表示に影響しない部分に設けるとよく、例えば液晶表示装置等においては、図 18 に示すように表示領域 R の外に仮想走査

電極 X_{n+1} ... を設ける、あるいは表示領域 R の外側に余剰の走査電極がある場合にはそれを仮想走査電極として用いると
もできる。

また、仮想走査電極の数 e を増加させれば、レベル数はさ
5 らに削減できる。その場合、上記のように $e = 1$ の場合は、
不一致数が全て 2 で割れるように制御したが、例えば $e = 2$
の場合は、不一致数が全て 3 で割れるように制御すればよい。
ただし、全てが 3 で割って 1 余る、あるいは 2 余るようにし
てもよい。

10 さらに上記の手法で削減できる最大削減数は、 $1 / (e + 1)$ であり、 $e = 1$ のときは 0 V を除いて $1 / 2$ である。

図 19 は順次 3 本の走査電極と 1 本の仮想走査電極とを用
いて信号電極への印加電圧レベルを減らすと共に、選択期間
を 1 フレーム内で複数回に分けて駆動するようにした例を示
15 す。

本実施例は選択期間を 1 フレーム内で 4 回に分割して各期
間毎に仮想走査電極を含めた 4 本の走査電極について前記の
不一致数を数え、その不一致数が常に奇数になるようにする
ことで、不一致数が 1 か 3 になり、それに応じて信号電圧波
20 形の電圧レベルが V_z と $-V_z$ の 2 つのレベルになるように
したものである。

具体的には、例えば前記図 18 に示すような表示を行う場
合に、図 20 に示すように最初に選択される走査電極 X_1 、

$X_2 \cdot X_3$ の次に仮想走査電極 X_{n+1} がある（実際には前述のように設けなくてもよく、設ける場合には前記図 10 のように表示領域 R の外に設けるのが望ましい）ものとし、上記の走査電極に印加する電圧がプラスの場合をオン、マイナスの場合をオフとして、 t_1 の時間についてみると、各走査電極 $X_1 \cdot X_2 \cdot X_3$ には、それぞれ $V_1 \cdot V_1 \cdot -V_1$ の電圧パルスが印加され、仮想走査電極 X_{n+1} には V_1 が印加されると仮定し、そのとき信号電極 Y_1 と仮想走査電極 X_{n+1} の交点の画素に表示されるデータをオフとすると不一致数は 1 となり、信号電極には $-V_2$ の電圧パルスを印加すればよい。

次に、 t_2 の期間についてみると、仮想走査電極 X_{n+1} には V_1 が印加されると仮定すると不一致数は 3 となり、信号電極には V_2 の電圧パルスを印加すればよい。また t_3 の期間では仮想走査電極 X_{n+1} に V_1 が印加されると仮定すると不一致数は 3 となり、信号電極には V_2 の電圧パルスを印加すればよい。さらに t_4 の期間では仮想走査電極 X_{n+1} には $-V_1$ が印加されると仮定すると不一致数は 1 となり、信号電極には $-V_2$ の電圧パルスを印加すればよい。

このようにして仮想走査電極に印加する選択パルスの極性と表示データを仮定して常に不一致数が 1、3 … 等の奇数になるようにすることによって、信号電極に印加する電圧レベルを削減するもので、上記実施例においては 2 レベルとする

46

ことができる。ただし、前述のように不一致数が偶数になるようにしてもよい。なお、F 1 と F 2 の各期間では印加電圧を逆極性とすることによって交流駆動にしている。

- 上記のように信号電極に印加する電圧のレベル数を少なく
5 すると、液晶ドライバ等の回路構成が簡単で、前記実施例と
 ほぼ同様の駆動回路を使用することができる。また前記実施
 例と同様に表示性能のよい表示装置が得られる。

産業上の利用可能性

- 10 以上説明したように、本発明による液晶素子等の駆動方法
 と駆動回路および表示装置は上記のような構成であるから、
 以下のような効果が得られる。

- 1 順次複数本の走査電極を同時に選択し、かつその選択期
 間を1フレームの中で複数回に分けて駆動するようにしたの
15 で、前記図3に示すように、オンはより明るく、オフはより
 暗くすることが可能になり、コントラストを高めることがで
 きる。

- 2 1フレームの中で複数回に分けて選択パルスを印加する
 ので、チラツキが目立たない。またフレーム周波数を下げて
20 もあまりチラツキがなくなり、フレーム周波数を下げること
 ができ、クロストークを低減できる。

- 3 駆動電圧を下げて表示を行うことができる。

- 4 上記のようにフレーム周波数を下げることができるので、

パルス幅を長くすることが可能となり、それによって波形のナマリによるクロストークを減少させて画質を向上させることが可能となる。

- 5 以上のように本発明によれば種々の効果を奏するもので、
例えばコンピュータやワードプロセッサ等の液晶ディスプレイをはじめ各種の表示装置等に適用することにより、表示品質や信頼性を向上させることができるものである。

10

15

20

請 求 の 範 囲

1. 走査電極を有する基板と、信号電極を有する基板との間に液晶層を介在させてなる液晶素子等をマルチプレクス駆動する液晶素子等の駆動方法において、順次複数本の走査電極を同時に選択し、かつその選択期間を1フレームの中で複数回に分けて駆動するようにしたことを特徴とする液晶素子等の駆動方法。
5
2. 走査電極および信号電極に印加する電圧波形を、1フレーム内で複数回に分けて走査電極および信号電極にそれぞれ電圧を印加するようにした請求の範囲第1項記載の液晶素子等の駆動方法。
10
3. 上記信号電極には、同時に選択される走査電極に印加する走査電圧のパルスの正負と、同時に選択される走査電極上の画素のオン・オフとに応じて設定された信号電圧を印加することを特徴とする特許請求の範囲第1項記載の液晶素子等の駆動方法。
15
4. 同時に選択される複数本の走査電極に印加される走査電圧波形を互いに周期的に入れ替えるようにした特許請求の範囲第1項記載の液晶素子等の駆動方法。
20
5. 走査電極に印加する走査電圧波形を、いくつかの直交関数系の中から印加電圧のパターンを適宜選択して形成することによって、走査電圧波形のパルス幅を拡大させるよう

にした請求の範囲第1項記載の液晶素子等の駆動方法。

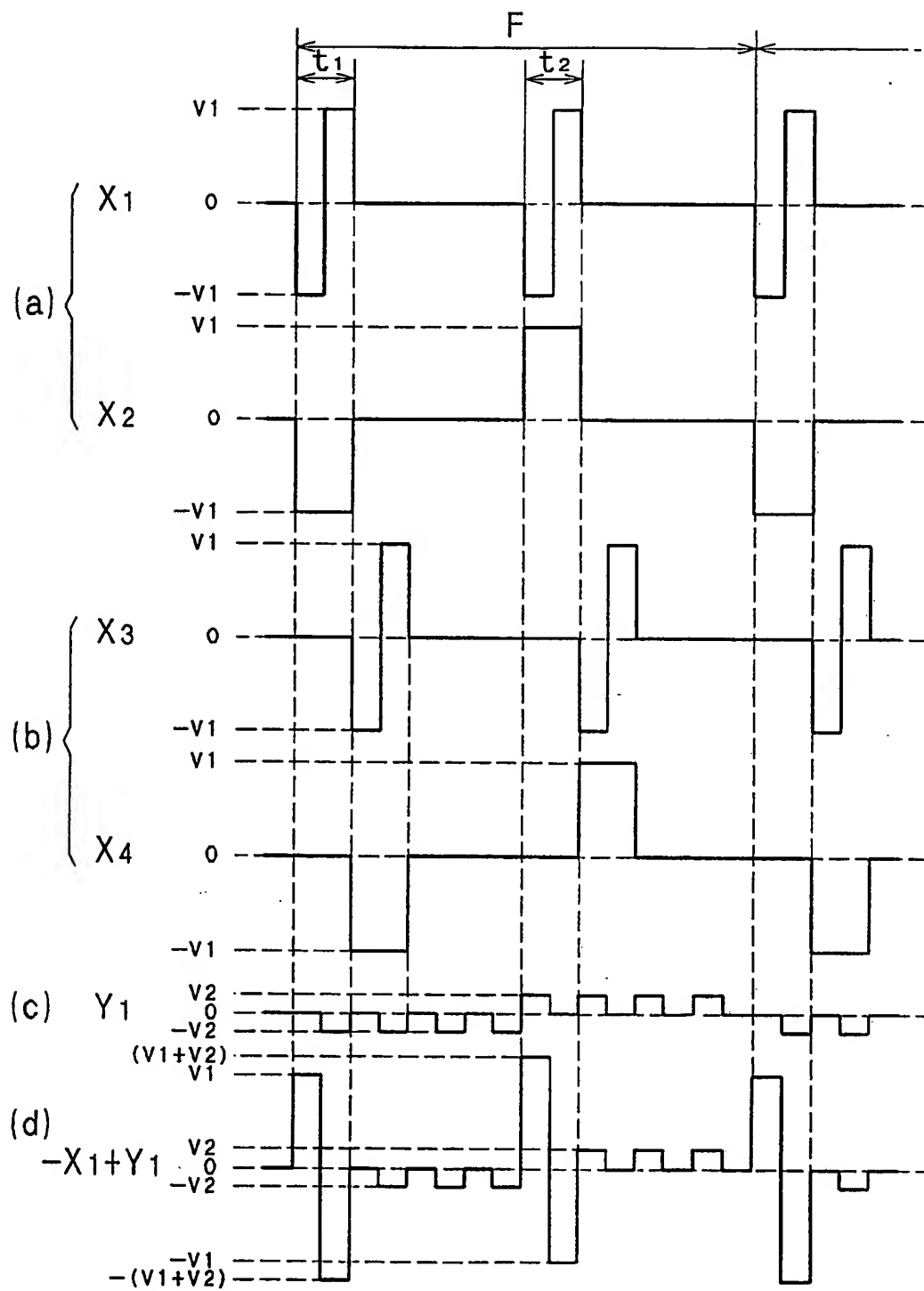
6. 仮想走査電極を設けることによって信号電極に印加する電圧レベル数を低減するようにした請求の範囲第1項記載の液晶素子等の駆動方法。

5 7. 走査データ発生回路から発生した選択パルスデータと、
フレームメモリから順番に読み出された同時に選択される
複数本の走査電極上の表示データとを演算回路で演算し、
その演算結果である変換データを信号電極ドライバに転送
し、走査データ発生回路から発生した走査データを走査電
10 極ドライバに転送して行き、1画面分を走査し終わると次の
選択パルスデータと表示データで上記の動作を繰り返し、
1フレームで複数回繰り返すことを特徴とする表示装置等
の駆動回路。

15 8. 走査データ発生回路から発生した選択パルスデータと、
フレームメモリから順番に読み出された同時に選択される
複数本の走査電極上の表示データとを演算回路で演算し、
その演算結果である変換データを信号電極ドライバに転送
し、走査データ回路から発生した走査データを走査電極ド
ライバに転送して行き、1画面分を走査し終わると次の選
20 択パルスデータを表示データで上記の動作を繰り返すよう
に構成した駆動回路を備え、順次複数本の走査電極を同時
に選択し、かつその選択期間を1フレーム内で複数回に分
けて駆動するようにしたことを特徴とする表示装置。

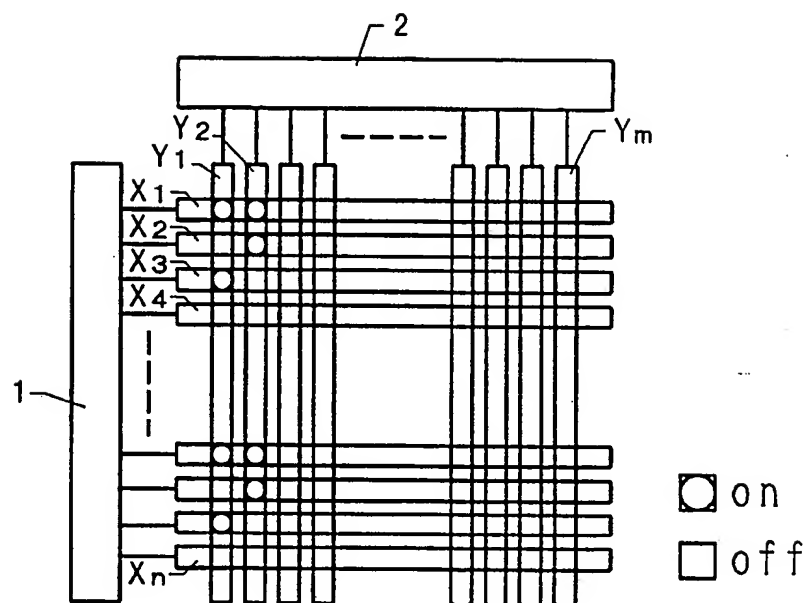
1/24

FIG. 1



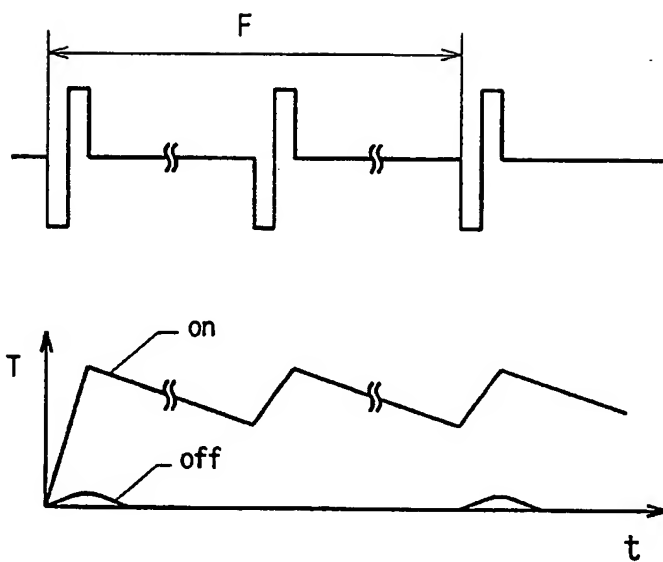
2/24

FIG. 2



3/24

FIG. 3



4/24

FIG. 4

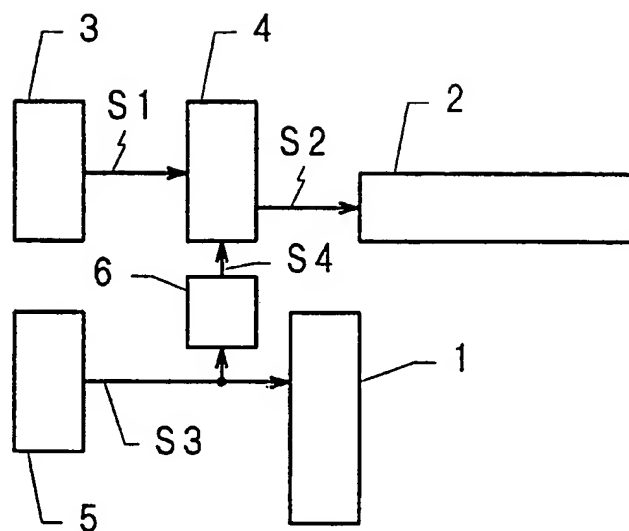
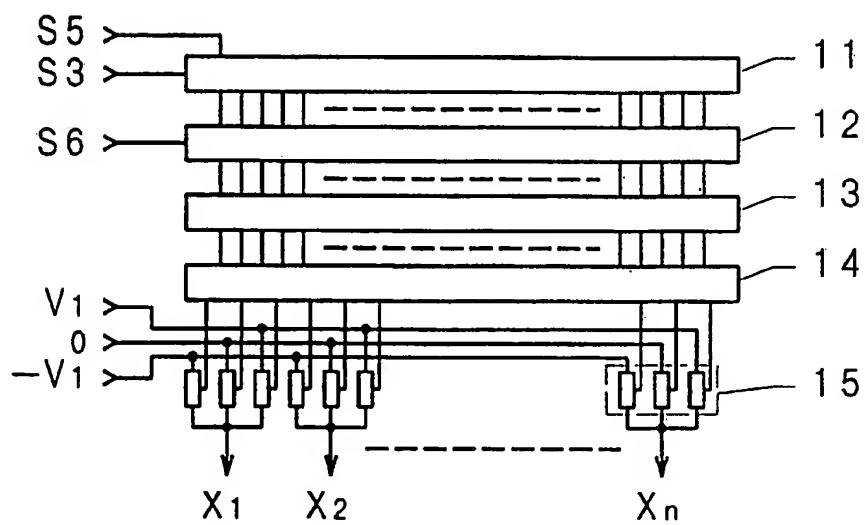
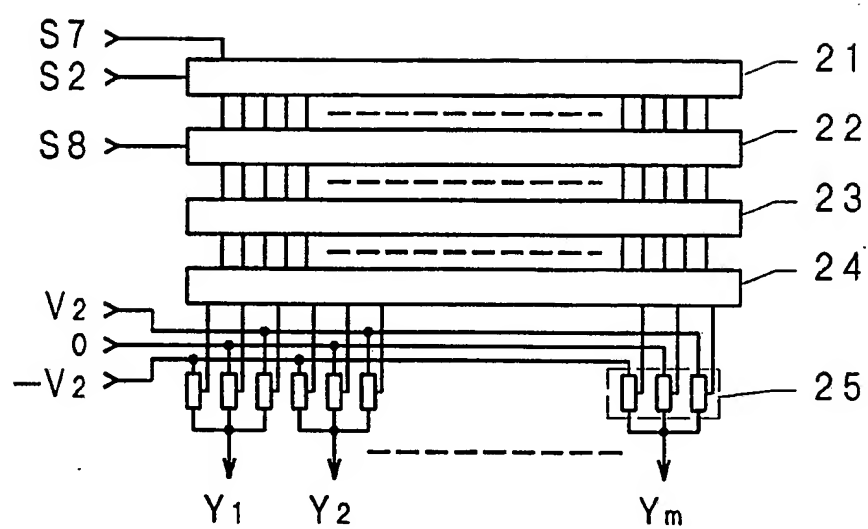


FIG. 5



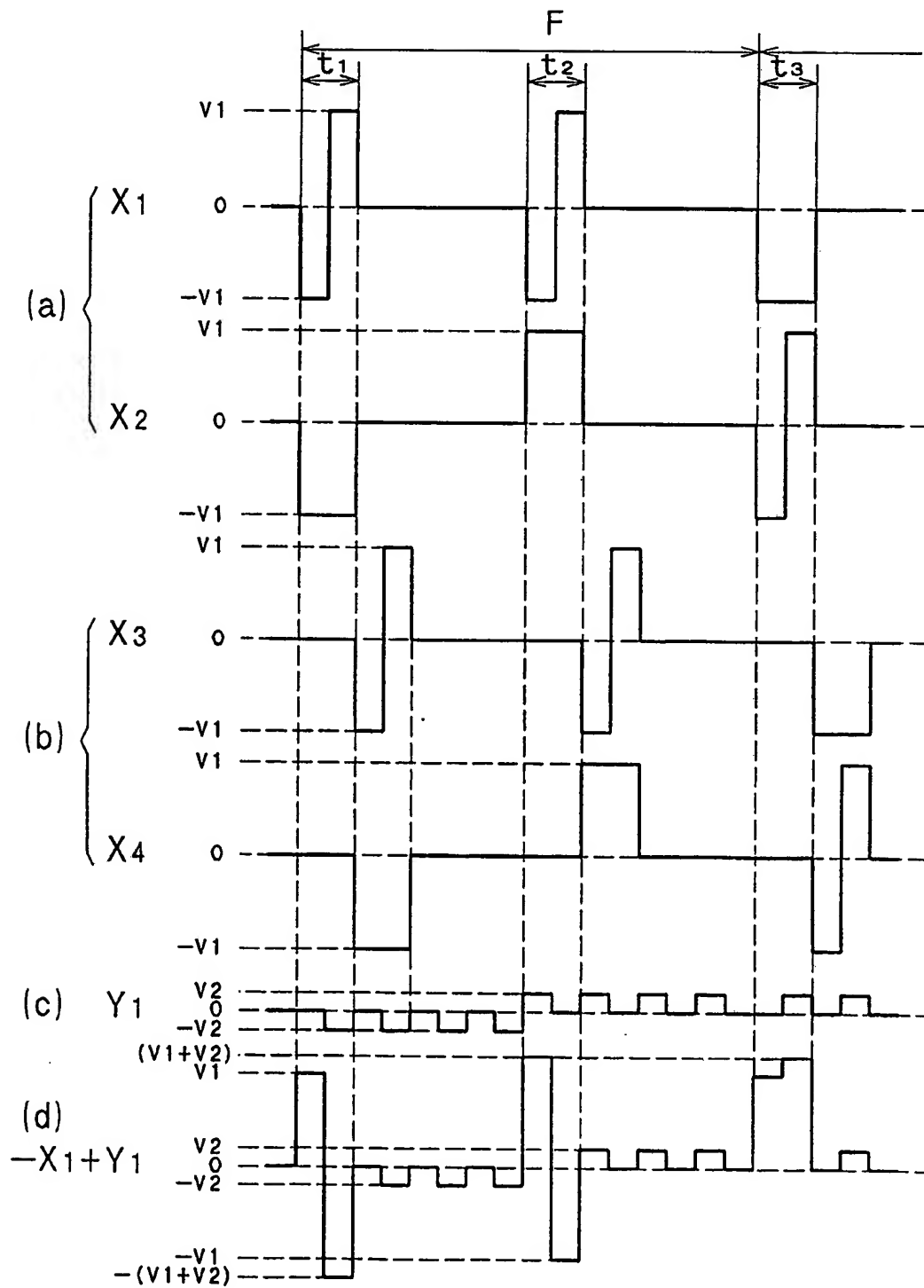
5/24

FIG. 6



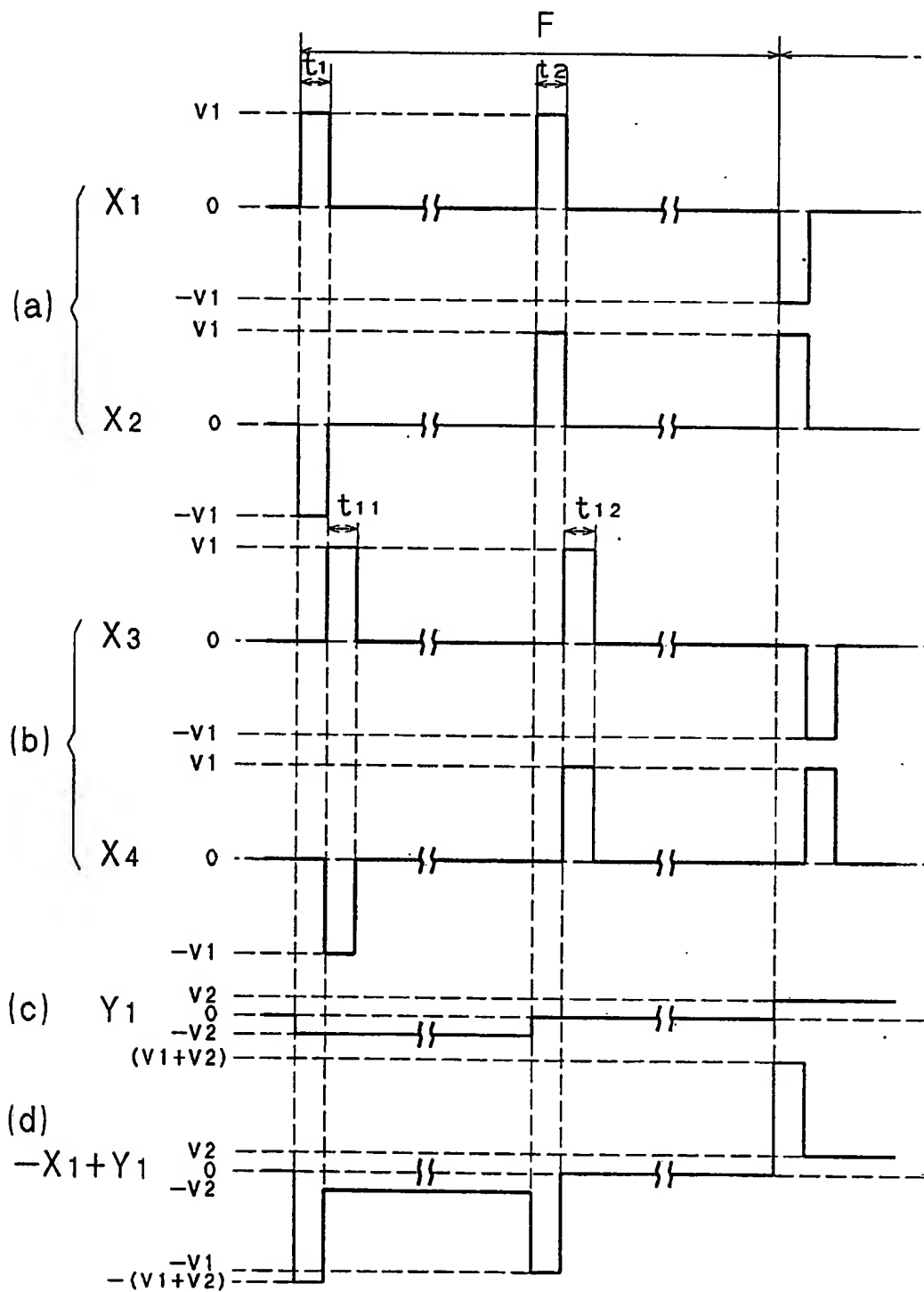
6/24

FIG. 7



7/24

FIG. 8



8/24

FIG. 9

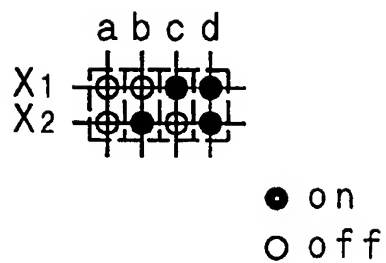
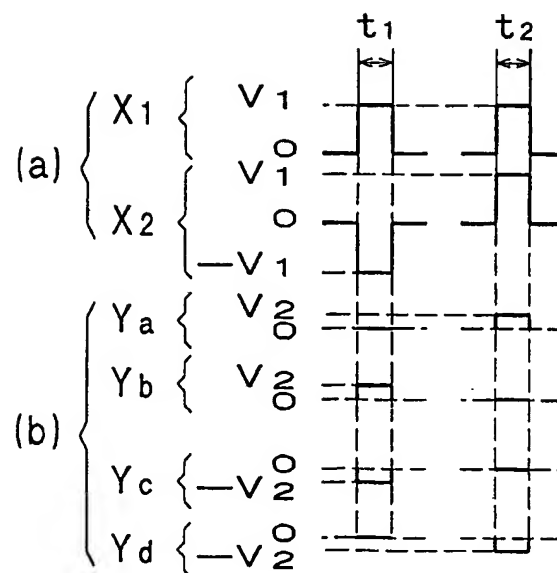
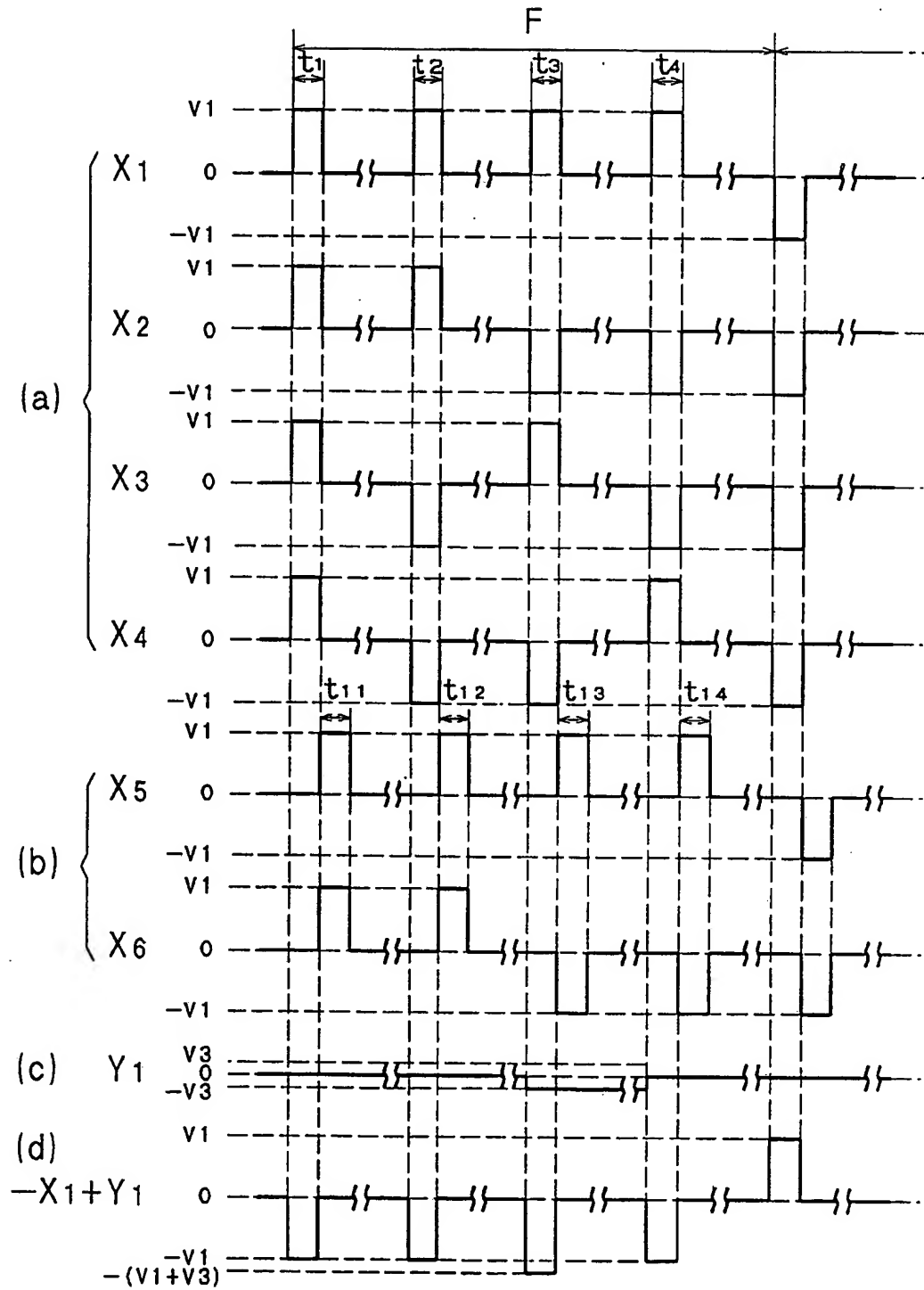


FIG. 10



9/24

FIG. 11



10/24

FIG. 12

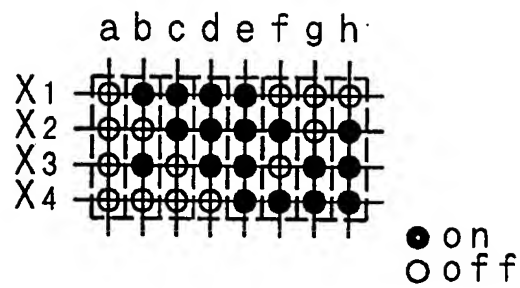
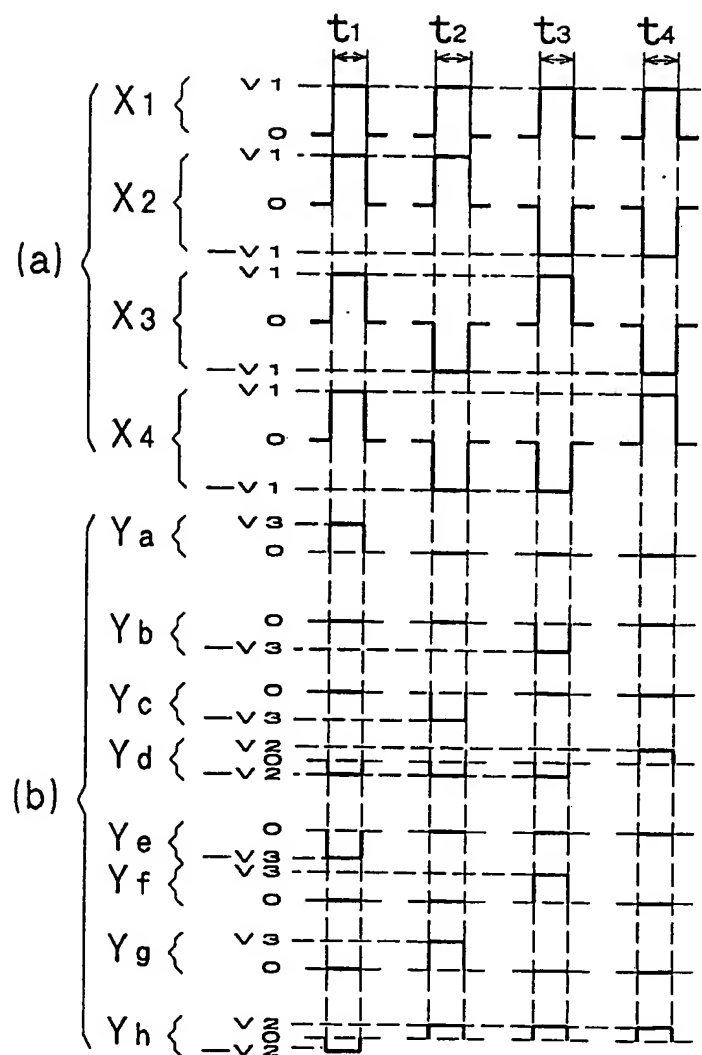
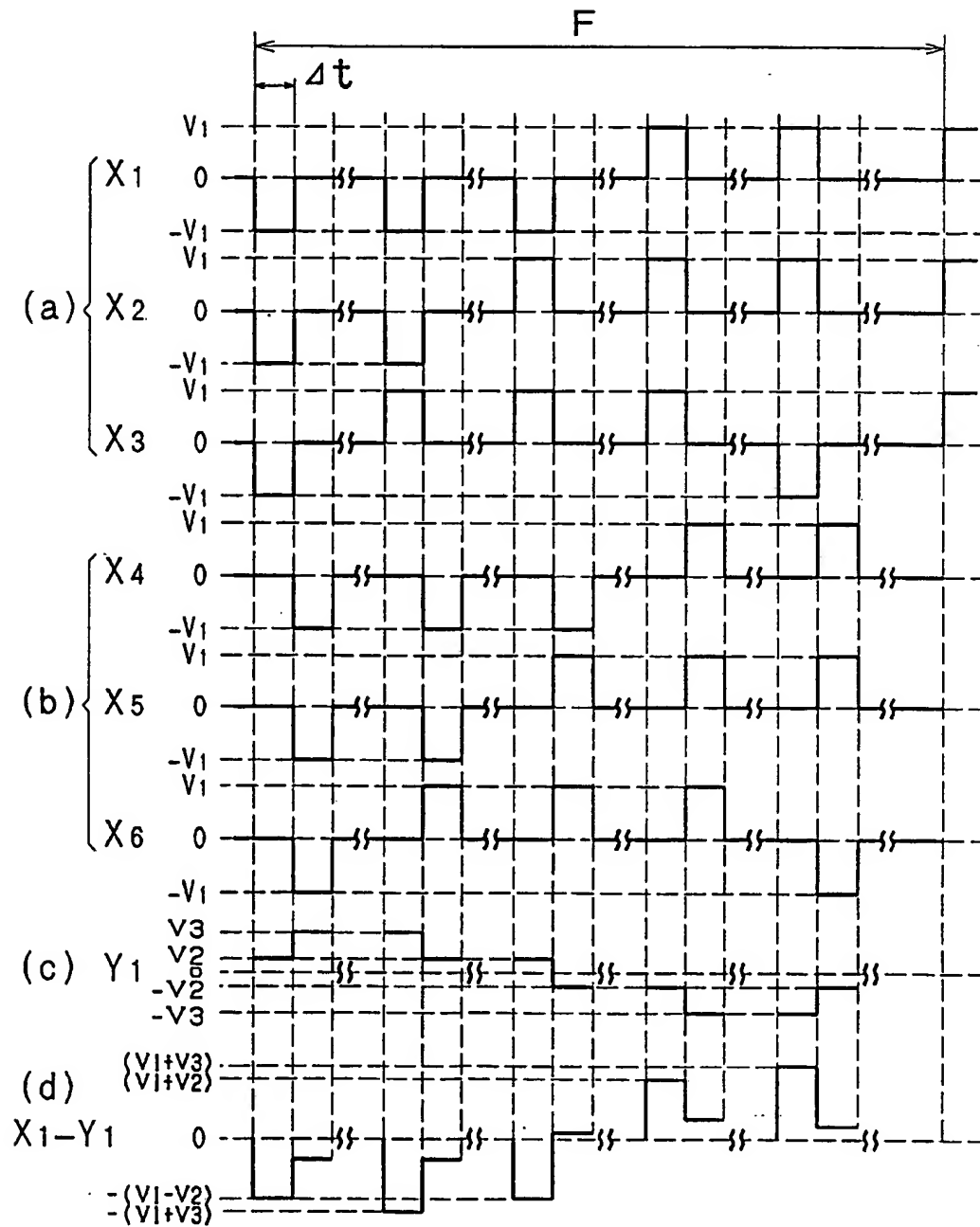


FIG. 13



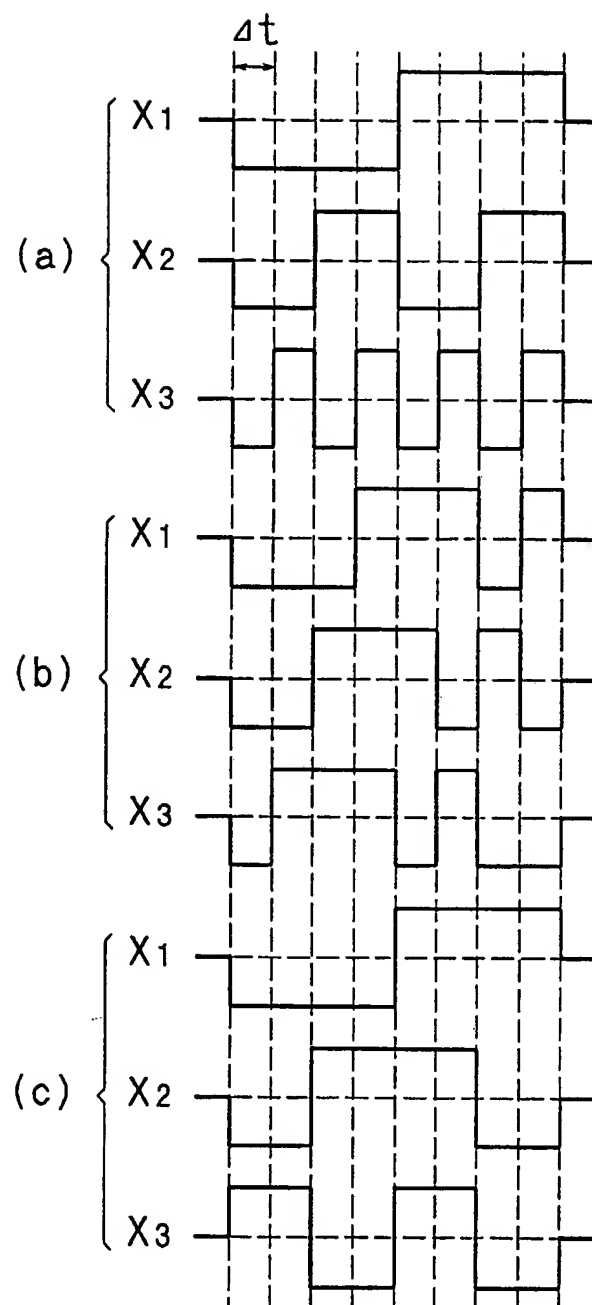
11/24

FIG. 14



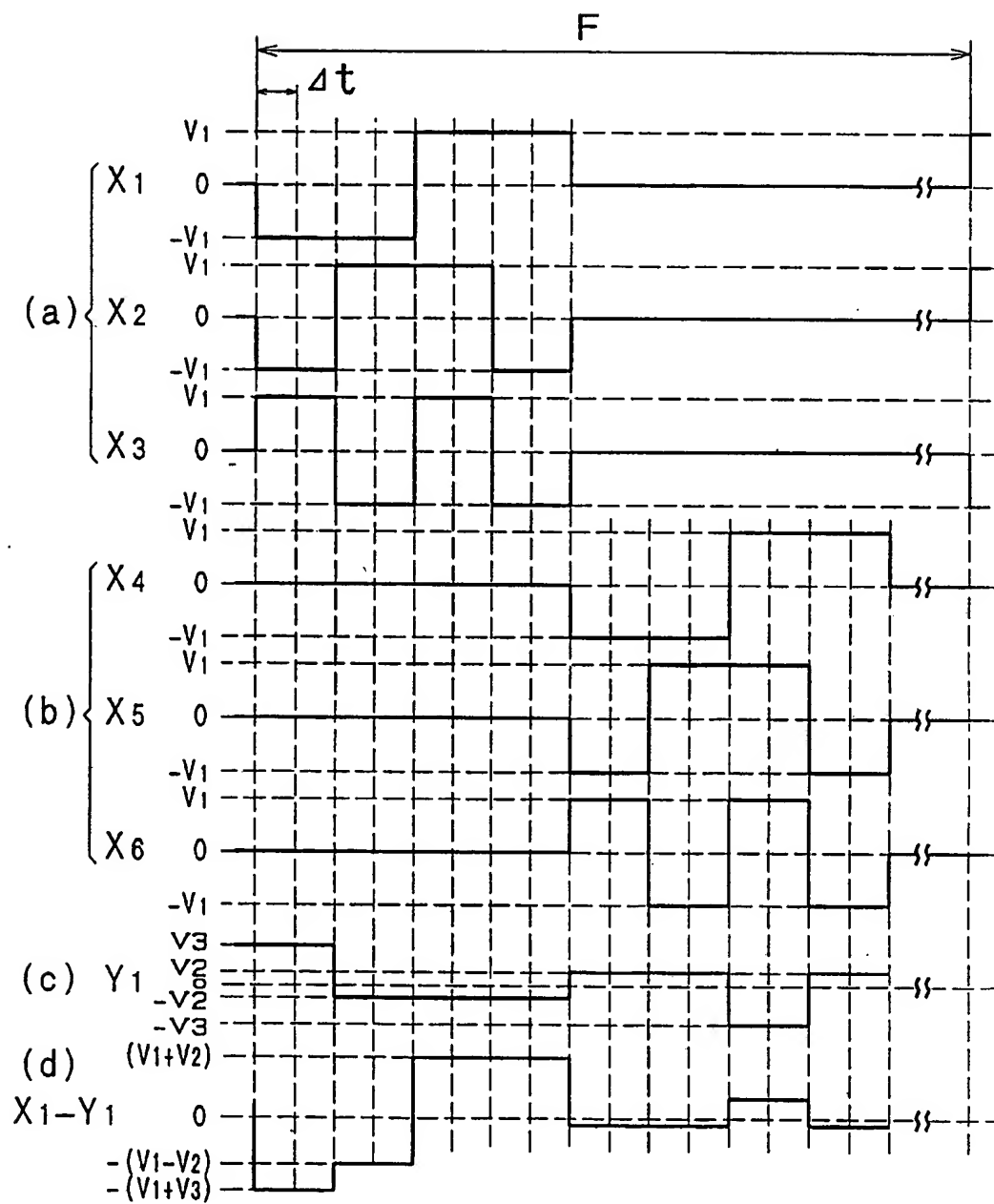
12/24

FIG. 15



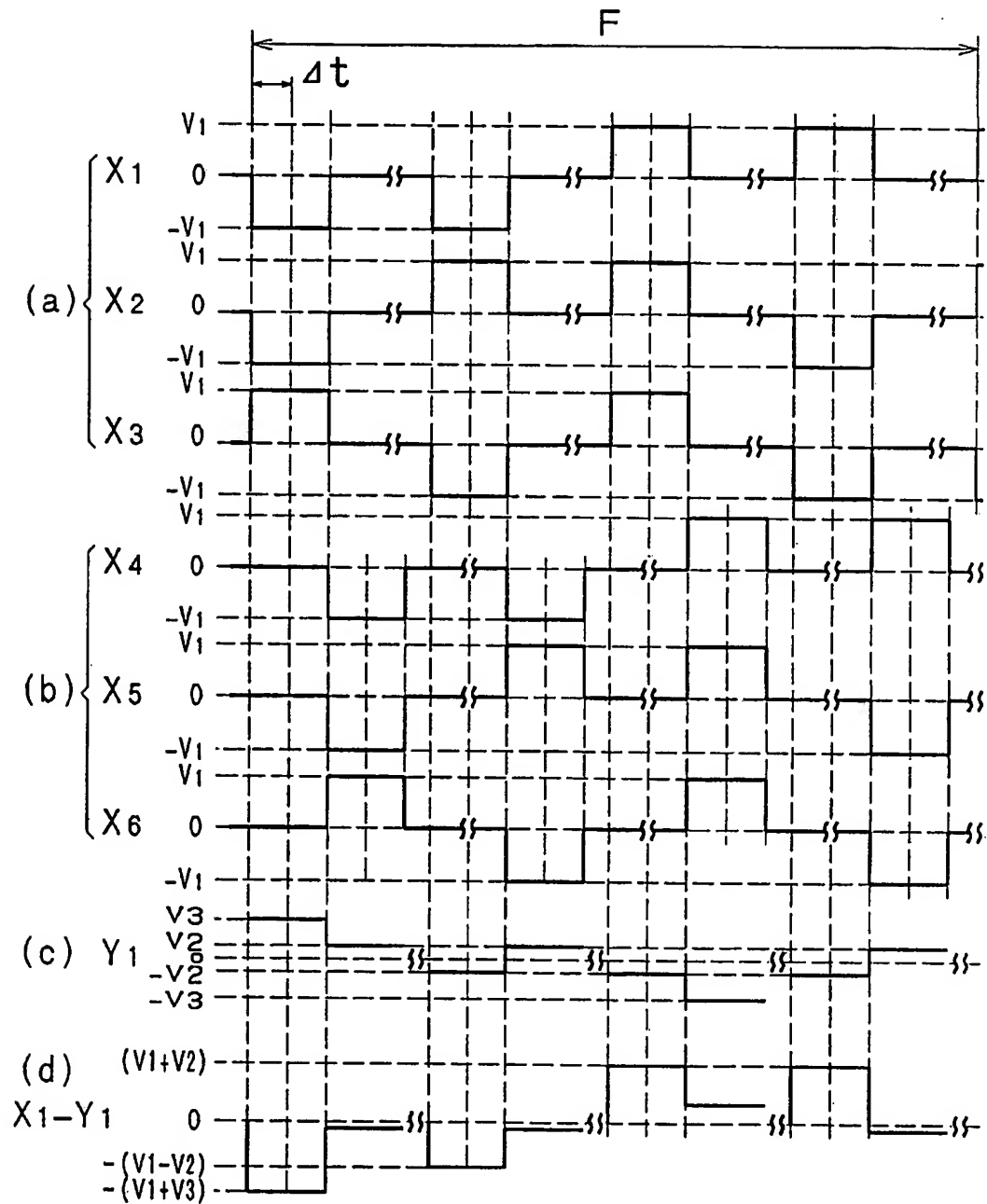
13/24

FIG. 16



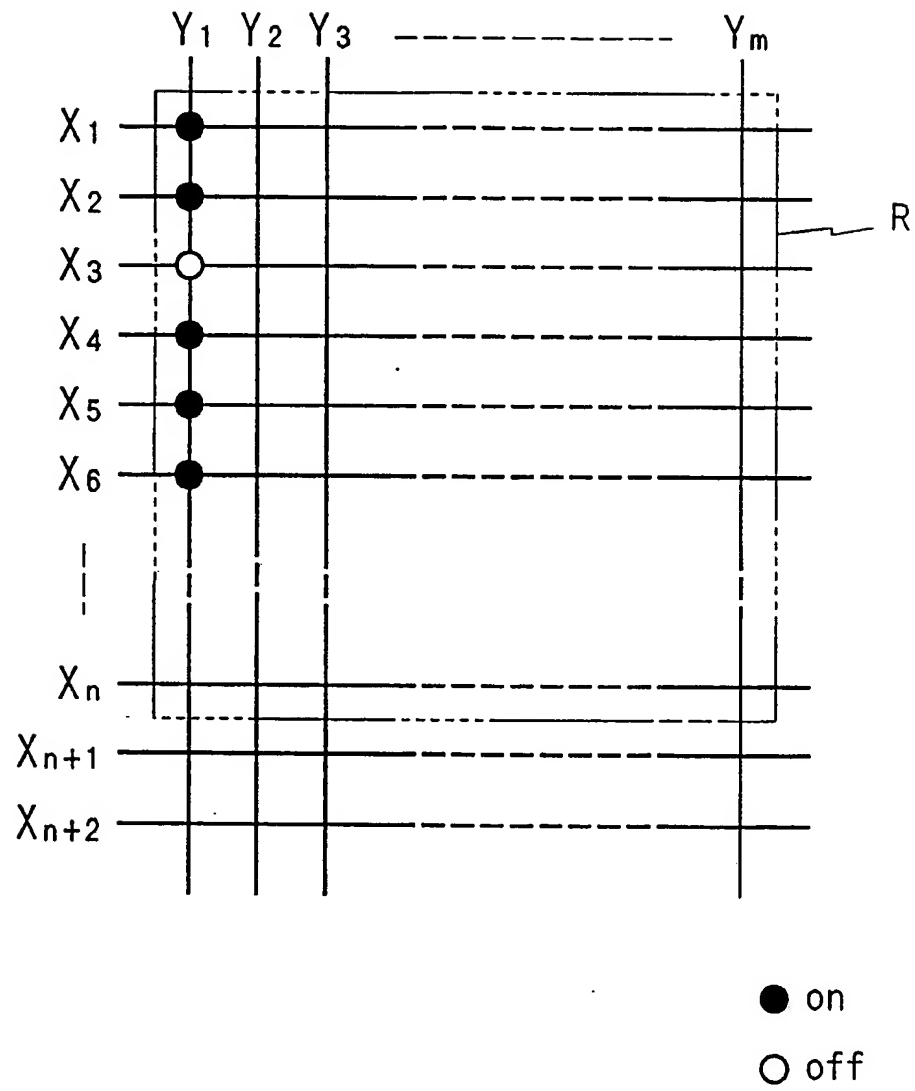
14/24

FIG. 17



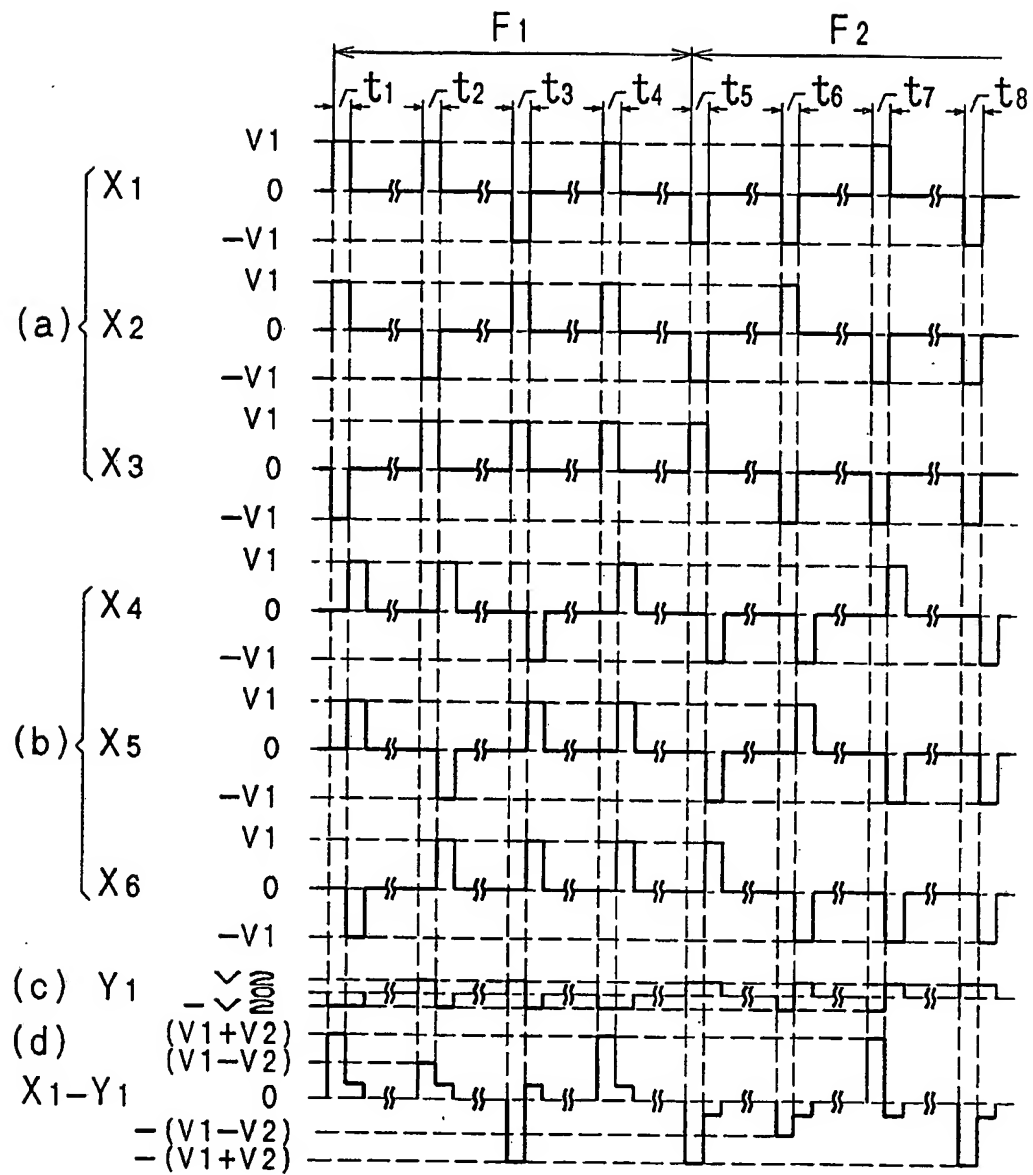
15/24

FIG. 18



16/24

FIG. 19



17/24

FIG. 20

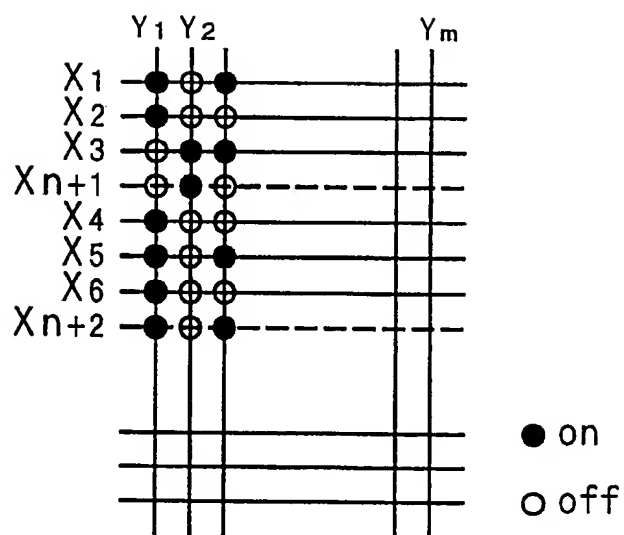


FIG. 21

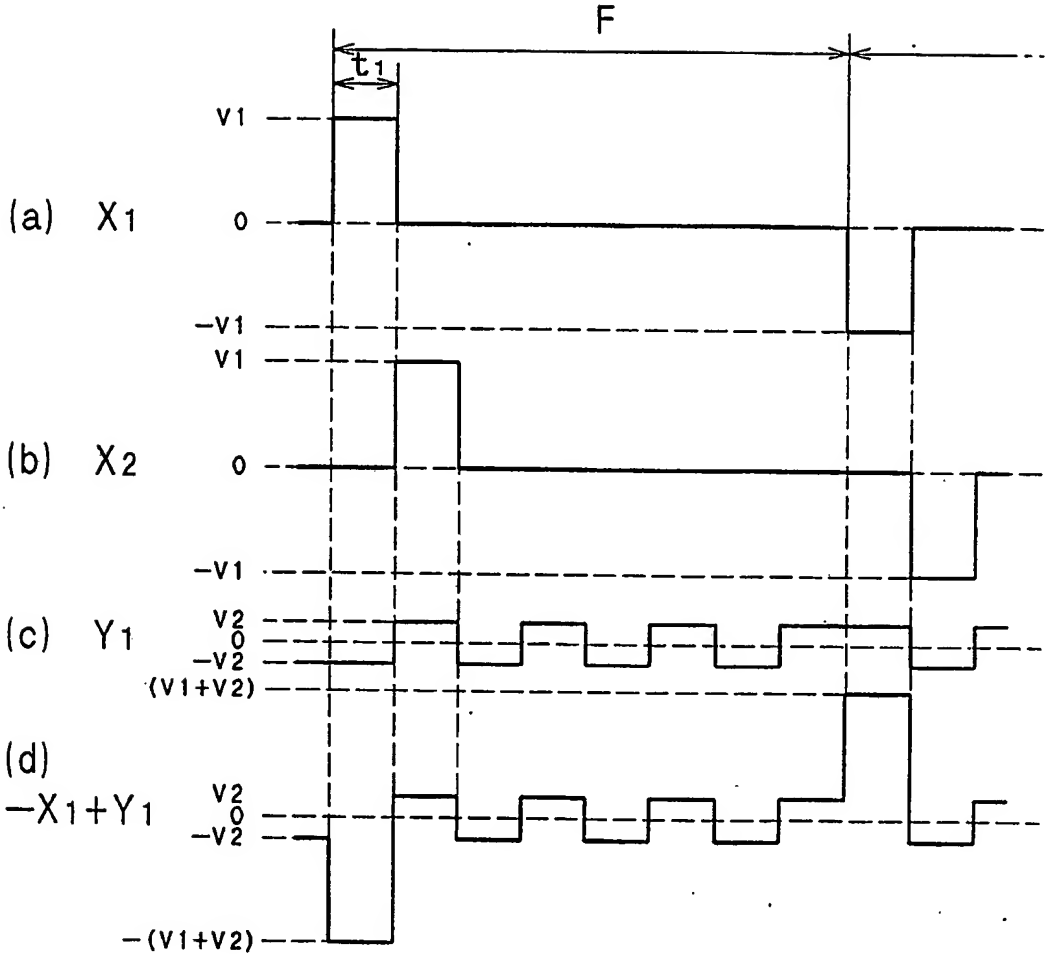
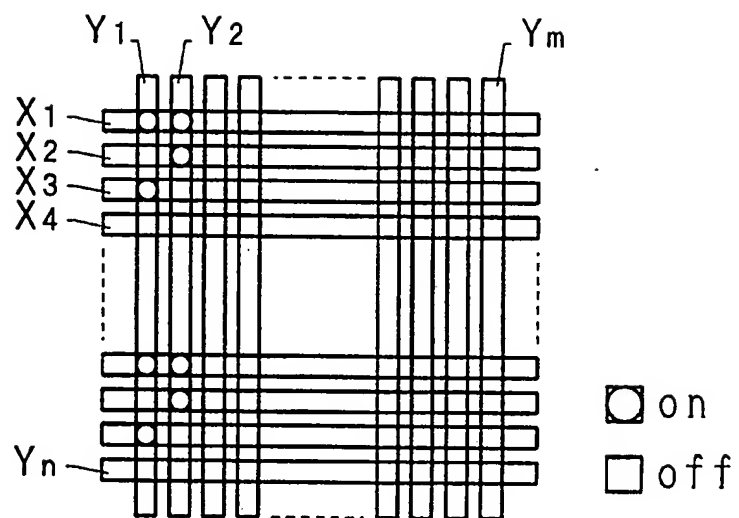
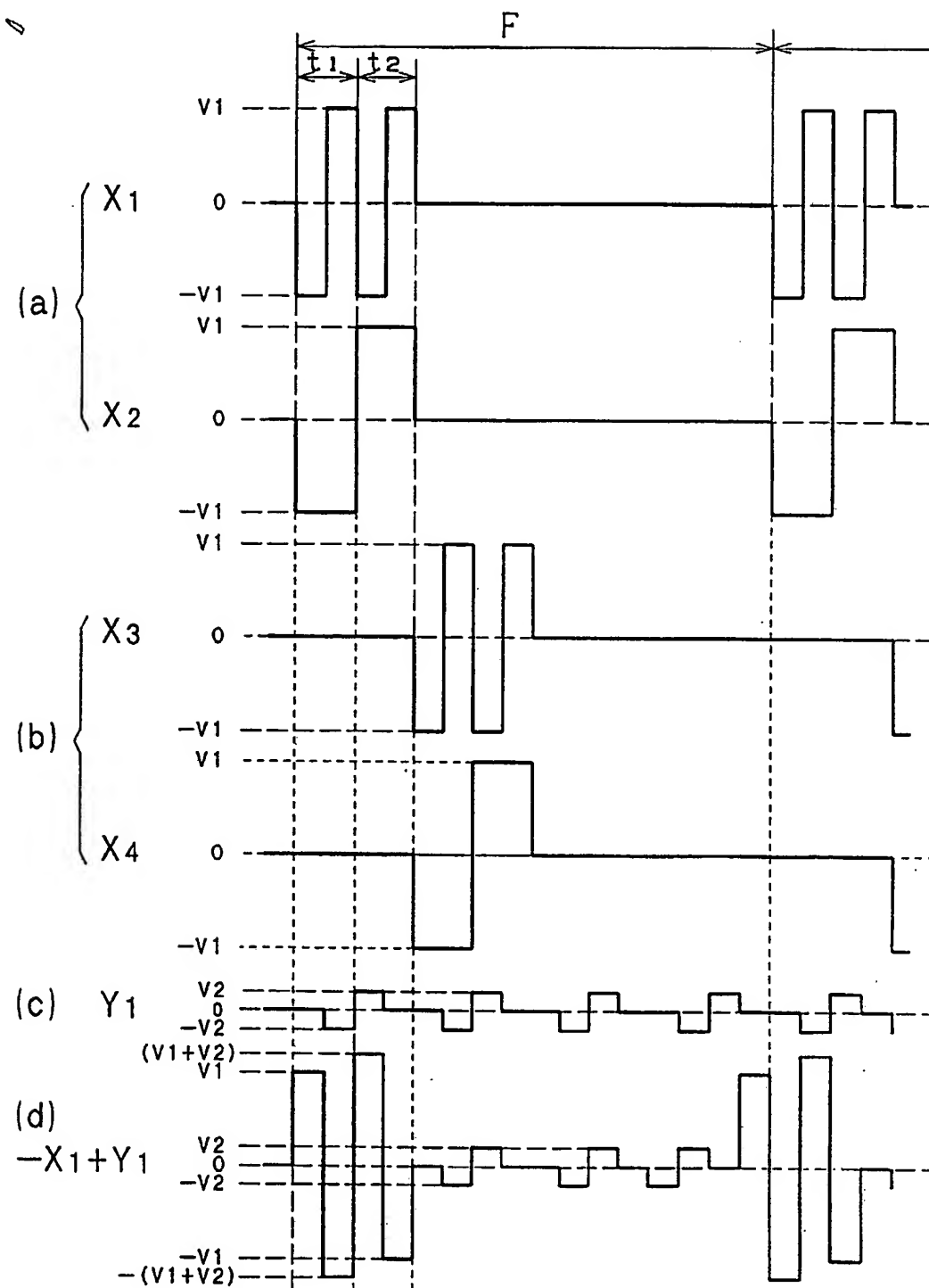


FIG. 22



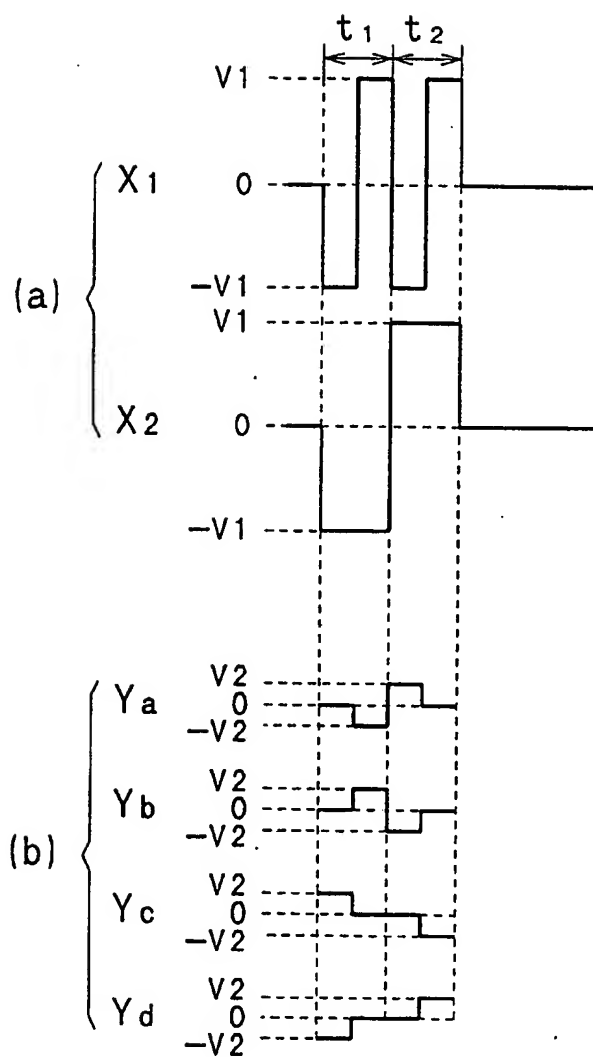
20/24

FIG. 23



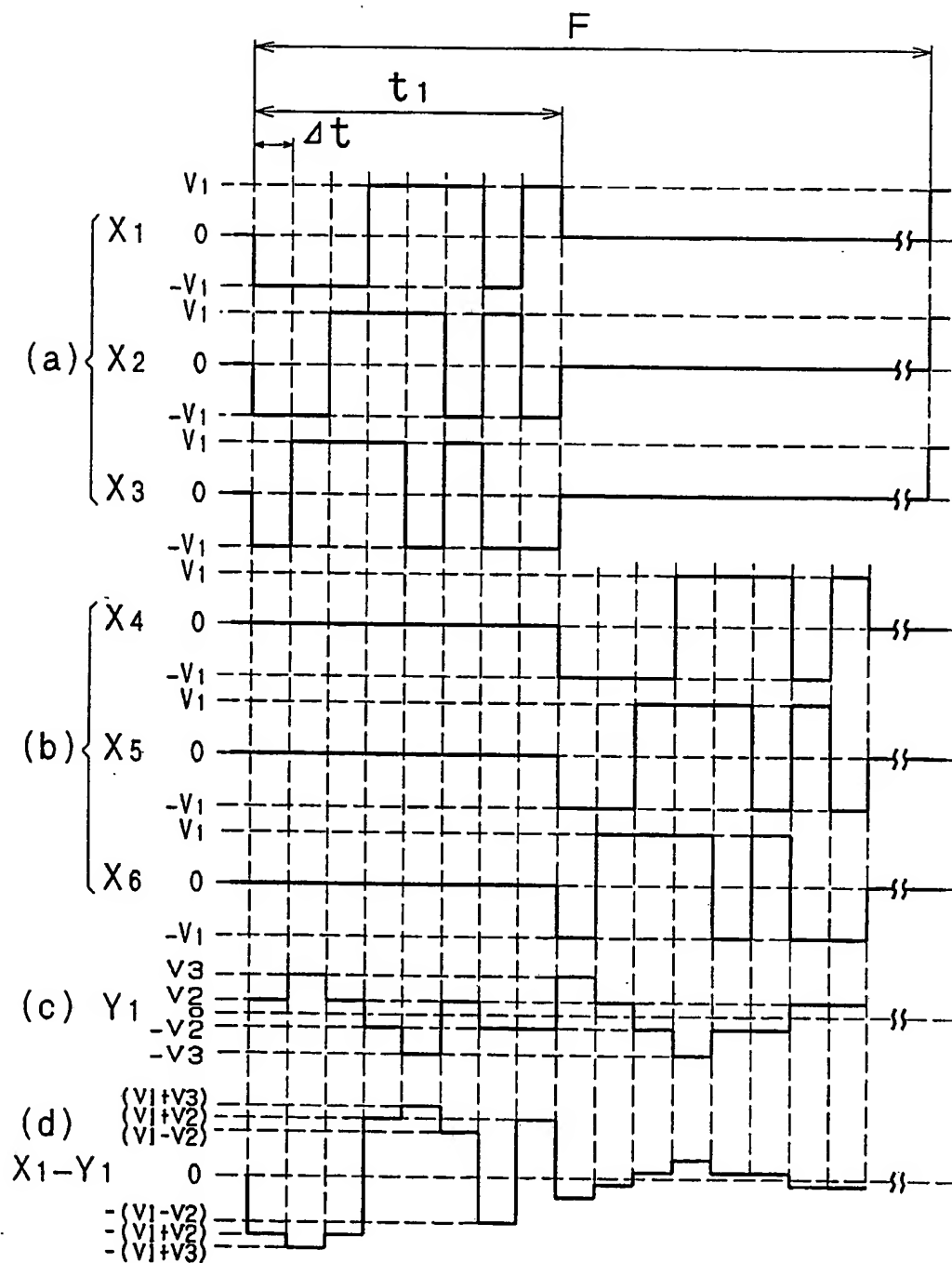
21/24

FIG. 24



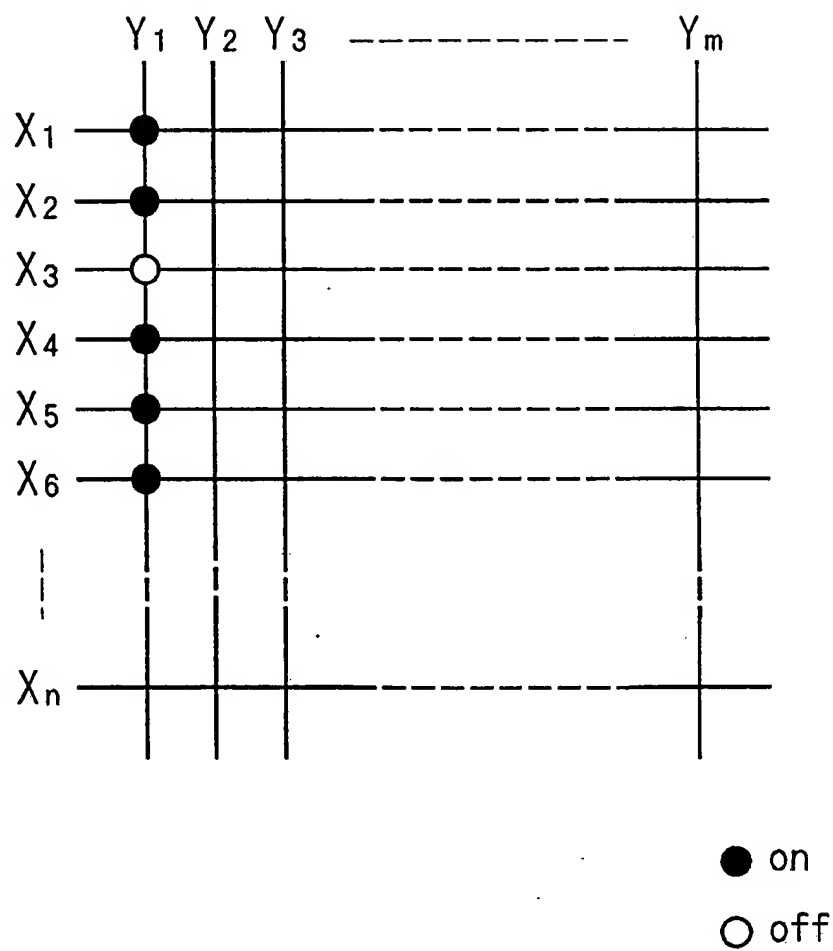
22/24

FIG. 25



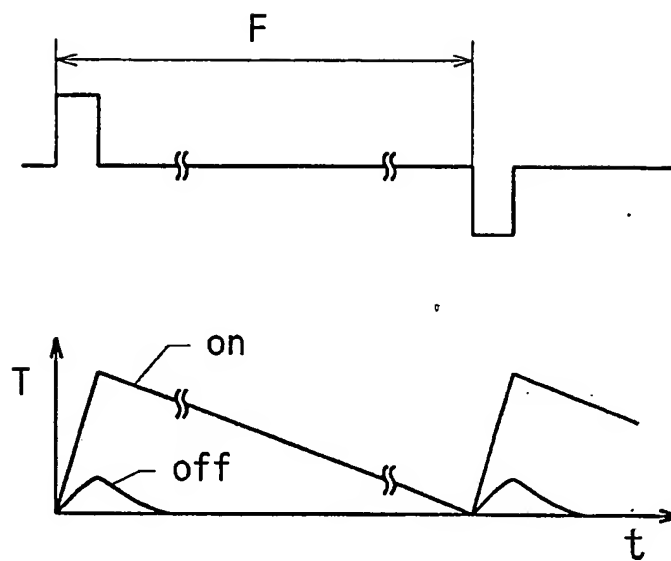
23/24

FIG. 26



24/24

FIG. 27



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP93/00279

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁵ G09G3/36

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁵ G09G3/20, 3/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926 - 1993

Kokai Jitsuyo Shinan Koho 1971 - 1993

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, B2, 57-15393 (Hitachi, Ltd.), March 30, 1982 (30. 03. 82), & US, A, 3,973,252	1-8
A	JP, A, 1-267694 (Hitachi, Ltd.), October 25, 1989 (25. 10. 89), (Family: none)	1-8
A	JP, A, 3-185490 (Hitachi, Ltd.), August 13, 1991 (13. 08. 91), & DE, A1, 4,031,905	1-8

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

May 20, 1993 (20. 05. 93)

Date of mailing of the international search report

June 8, 1993 (08. 06. 93)

Name and mailing address of the ISA/

Japanese Patent Office

Facsimile No.

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))		
Int. Cl. ⁸ G09G3/36		
B. 調査を行った分野		
調査を行った最小限資料 (国際特許分類 (IPC))		
Int. Cl. ⁸ G09G3/20, 3/36		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1926-1993年 日本国公開実用新案公報 1971-1993年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, B2, 57-15393 (株式会社 日立製作所), 30. 3月. 1982 (30. 03. 82) & US, A, 3,973,252	1-8
A	JP, A, 1-267694 (株式会社 日立製作所), 25. 10月. 1989 (25. 10. 89) (ファミリーなし)	1-8
A	JP, A, 3-185490 (株式会社 日立製作所), 13. 8月. 1991 (13. 08. 91)	1-8
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 先行文献ではあるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日		国際調査報告の発送日
20. 05. 93		08.06.93
名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 片 岡 栄 一 ㊞ 電話番号 03-3581-1101 内線 3527

C (続き). 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
	& DE, A1, 4031905	